

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173049

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

D

21/28

3 0 1

21/28

3 0 1 C

21/3065

21/302

L

21/3213

21/88

D

27/108

27/10

6 2 1 Z

審査請求 未請求 請求項の数16 O L (全 24 頁) 最終頁に続く

(21)出願番号

特願平8-331318

(22)出願日

平成8年(1996)12月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 三宅 啓太

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 松永 大輔

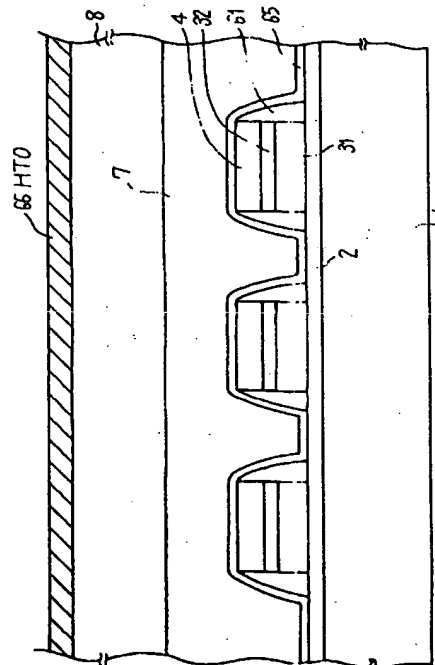
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

半導体装置における上下配線層を互いに電気的に接続するためのコンタクトホールを下地段差にオーバーラップさせて開口する場合に、エッチストップ層表面を平坦化する乃至エッチャントレシビを調製する等の手法によって、下地段差にもかかわらずこの段差近傍に残さを残すことなくコンタクトホールを開けする半導体装置の製造技術。



## 【特許請求の範囲】

【請求項1】基板表面に互いに離間して形成され、側面にシリコン酸化膜からなるサイドウォールを有する第一の段差及び第二の段差と、

前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部がオーバーラップしてかつ該第一、第二の段差に挟まれた領域にて前記基板表面まで貫通する開口と、

前記開口外において前記第一、第二の段差表面を覆ってなり、かつ前記開口内壁において前記第一、第二の段差となだらかに表面が接続して該第一、第二の段差の側面とともに前記開口内側面をなすシリコン窒化膜とを有する半導体装置。

【請求項2】前記シリコン窒化膜は、少なくとも前記開口幅の1/2以上の厚さを有する請求項1記載の半導体装置。

【請求項3】前記開口内壁から前記開口外まで延在する導電膜を被着形成してなる請求項1記載の半導体装置。

【請求項4】前記導電膜を蓄積電極とし、該導電膜にキャパシタ絶縁膜および対向電極膜を順に被着形成してなる請求項3記載の半導体装置。

【請求項5】前記開口を複数有し、第一の開口にて前記導電膜をビット線として用い、かつ第二の開口にて前記導電膜をキャパシタとする請求項1記載の半導体装置。

【請求項6】前記第一、第二の段差は、各々ゲート電極及び該ゲート電極の上面及び側面を囲むシリコン酸化膜とからなる請求項1乃至5記載の半導体装置。

【請求項7】前記シリコン窒化膜の表面に、ボロ・フォスフォ・シリケート・ガラス膜(BPSG膜)とフォスフォ・シリケート・ガラス膜(PSG膜)とボロ・シリケート・ガラス膜(BSG膜)とTEOS膜の中から選ばれた絶縁膜が被着形成され、その表面が実質的に平坦である請求項1記載の半導体装置。

【請求項8】基板表面に、互いに離間して、側面にシリコン酸化膜からなるサイドウォールを有しかつ上面に絶縁膜を有する第一の段差及び第二の段差が形成される工程と、

前記第一、第二の段差上にシリコン窒化膜が形成される工程と、

前記第一の段差と第二の段差とに挟まれた領域において前記基板表面を露出させ、かつその底部側面において前記シリコン窒化膜表面と前記第一、第二の段差表面とがなだらかに接続し、かつ側面の一部が前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部が接触するように、前記シリコン窒化膜表面から異方性エッチングして開口を設ける工程とを有する半導体装置の製造方法。

【請求項9】前記シリコン窒化膜形成工程の後に、前記シリコン窒化膜の表面に、ボロ・フォスフォ・シリケート・ガラス膜(BPSG膜)とフォスフォ・シリケート

・ガラス膜(PSG膜)とボロ・シリケート・ガラス膜(BSG膜)とTEOS膜のいずれかから選ばれた絶縁膜が、表面が平坦になるように被着形成される請求項8記載の半導体装置の製造方法。

【請求項10】前記開口の側面が、前記開口底部において前記第一、第二の段差の両方ともに接触することを特徴とする請求項8乃至9記載の半導体装置の製造方法。

【請求項11】前記シリコン窒化膜露出後の前記シリコン窒化膜の異方性エッチングを、準異方性エッチングとし、前記基板表面に対して水平方向にも積極的にエッチングしつつ前記異方性エッチングを行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】前記準異方性エッチングは、SF<sub>6</sub>(六フッ化硫黄)+HBr(臭化水素)あるいはSF<sub>6</sub>(六フッ化硫黄)+HBr(臭化水素)+N<sub>2</sub>(窒素)をエッチャントとして行うことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】前記シリコン窒化膜は、少なくとも前記開口部の1/2以上の厚さ被着形成され、前記シリコン窒化膜に施すエッチングを準異方性エッチングとして前記基板表面に対して水平方向にも積極的にエッチングしつつ前記異方性エッチングを行うか、あるいは、前記シリコン窒化膜の少なくとも一部の表面がCMP(化学機械的研磨)法にて研磨されることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項14】前記開口形成工程を、前記絶縁膜を異方性エッチングして前記窒化膜が露出するまでC<sub>4</sub>F<sub>8</sub>+CO+Arをエッチャントとして用い、かつ前記窒化膜が露出した後前記第一、第二の段差が露出するまでCHF<sub>3</sub>+O<sub>2</sub>をエッチャントとして用いた異方性エッチングにて行うことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項15】前記第一、第二の段差が露出した後、六フッ化硫黄(SF<sub>6</sub>)と臭化水素(HBr)とを互いの流量比で7%<(臭化水素(HBr)の流量):(六フッ化硫黄(SF<sub>6</sub>)と臭化水素(HBr)との総流量)<20%として含んでなるエッチャントを用い、残余の前記窒化膜を異方性エッチングし、前記基板表面を露出させる工程を有する請求項8記載の半導体装置の製造方法。

【請求項16】ガス流量全体の90%以下の臭化水素(HBr)ガスと、10%以上の六フッ化硫黄(SF<sub>6</sub>)または三フッ化窒素(NF<sub>3</sub>)または四フッ化炭素(CF<sub>4</sub>)を含む混合ガスを用い、準異方性エッチングすることを特徴とする請求項11記載のエッチング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路(IC、LSI)などの半導体装置の製造方法に関し、さらに詳

しくは、電極引き出し用の窓の形成技術の改良に関する。

【0002】

【従来の技術】集積回路（IC、LSI）などの半導体装置では、通常、半導体基板表面に選択的に不純物を導入して能動領域を形成し、この能動領域と他の能動領域を接続するためには、この能動領域上を覆う絶縁膜を選択的に異方性エッチングして窓を設け、窓底部に露出した能動領域と電気的にコンタクトする電極を、窓内に埋め込んで行っている。

【0003】周知のとおりDRAM等の半導体装置は、近年非常に微細化が進んだ結果、ゲート電極（DRAMにおいてはワード線）等の下地配線層間隔のごくわずかの隙間で半導体基板面を露出させるようにして、この露出面にて上層配線層とコンタクトすべくコンタクトホールを設けなければならない。しかし、コンタクトホールをフォトリソグラフィ手法で窓開けするのにも技術的限界が見えてきたため、ホール径そのものを前記ごくわずかの隙間に合わせて小さくすることも、ホールをわずかの隙間に位置合わせして形成することも難しくなってきた。

【0004】そこで、電極を埋め込むべきコンタクトホールを半ば他の下層導電層とオーバーラップさせてでも形成せざるを得ず、近年では、むしろ積極的に下層導電層と窓とを自己整合的にオーバーラップさせて構成した技術の確立が求められている。以下では、図25、図26を用いて、より詳しく従来のコンタクトホール開口工程を説明する。

図25参照。

【0005】図25は、従来技術を説明する装置断面図である。図中、101はシリコンウエハ、102はシリコン酸化膜、131はポリシリコン膜、132はタングステンシリサイド膜であり、これら131及び132は所謂ポリサイド膜としてゲート電極（ワード線）をなす。114は高温酸化膜（HTO膜）、161はサイドウォール（HTO膜）、165は高温酸化膜（HTO膜）、117はエッチングストップ層であり、コンタクトホール開口時のエッチングストップを担うことを条件として材質が選ばれた。118は層間絶縁膜、119はレジストパターンである。

【0006】図示した状態は、既にレジストパターン119をマスクとしてRIE（リアクティブ・イオン・エッチング）法によって層間絶縁膜118がエッチングされている。下地のエッチングストップ層117がエッチングされずに露出されている様子である。ところで、図25を続いて参照すると、このような自己整合的なコンタクトに供するホールを上手に形成するためには、ポリシリコン膜131とタングステンシリサイド膜132からなるゲート電極が造る下地段差に注意してエッチング窓開けを行わねばならない。実際、エッチング窓開け工

程では、途中まで層間絶縁膜118をエッチングし、エッチングストップ層117が表出したら一旦エッチングを止め、エッチャントを変更してより慎重にエッチングを進めてゆく。かかる従来技術においては、層間絶縁膜118表面をリフロー加熱で平坦化したい要望から層間絶縁膜118の材料としてシリコン酸化膜系のBPSG膜等が選ばれるため、エッチング選択比を十分とる必要上エッチングストップ層117にシリコン窒化膜を選んで用いている。

10 【0007】このような自己整合的に配線コンタクトを行なうべく設けられるコンタクトホールを上手に形成するためには、ポリシリコン膜131とタングステンシリサイド膜132とからなるゲート電極が作る下地段差に注意してエッチング窓開けを行なわなければならない。実際、エッチング窓開け工程では、途中まで層間絶縁膜118をエッチングし、エッチングストップ層117が表面に露出したら一旦エッチングを停止し、エッチャントを変更してより慎重にエッチングを進めてゆく。特に注意が必要なところは、十分に埋め込まれなかったシリコン窒化膜の凸部間におけるスリット状の溝の部分である。この凸部間におけるスリット状の溝の深さに対しその間口の幅が狭かった（凸部分のアスペクト比が高い）場合にいっそう深刻であり、エッチング時のイオンの入射が困難になる。その結果、スリット状の溝の中に入り込んだ層間絶縁膜が除去できずに残ってしまうといった問題が起こる。

【0008】ここで、シリコン窒化膜からなるエッチングストップ層117は、慎重にエッチングされてゆくが、リアクティブ・イオン・エッチングで異方性をもってエッチングされるため前出のサイドウォール側面に残さとなってエッチングされずに残ってしまう。無理に除去しようとして、エッチャントレシビやエッチング条件を変更すると、でき上がり形状が歪んでしまう恐れがあり、ひいては半導体装置の歩留りを下げる結果を招いてしまう。詳しくは、高温酸化膜114が膜減りしてゲート電極であるポリサイド膜が露出する恐れと、シリコン酸化膜112がエッチングされてシリコン基板101に窪みができる問題がある。また、上記シリコン窒化膜の残さが開口した窓の底部に残ってしまう問題は、後にこの窓の中に配線層を被着形成した際に、完全な埋め込み乃至窓側面への均一な厚さの被着形成が行えないという問題を引き起こす。

図26参照。

【0009】図中、前出の図25と同じ番号が振られた部分は、図25と同じ材質である。同図は、図25で説明したコンタクトホール開口のためのRIE（リアクティブ・イオン・エッチング）をエッチングストップ層117に対しても施した後の様子を示すものであるが、エッチングストップ層117に対して用いられるエッチングの横方向への寄与が層間絶縁膜118に対しては小さ

いことから、エッチングストップ層117において横方向へエッチングシフトしてしまう。こうして、図示の如き歪な側面を有するホールは、その後埋め込まれる導電層のカバレッジ(被覆形状)を悪化させる阻害要因として見逃せなくなってきた。すなわち、ホール開口時におけるエッチングレート差に起因してホール側面に凹凸面が生じた場合には、後でホール内に埋め込まれる導電層は部分的に薄くしか形成されなかったり、ホール最下面においてシリコンウエハ表面と接するコンタクト領域を所望面積分確保できなくなってコンタクト部の電気抵抗が上昇してしまい装置の性能を下げる乃至歩留りを悪化させてしまうという問題に発展する。

【0010】本発明のように、シリコン窒化膜をシリコン酸化膜エッチングのストップとするセルフアラインコンタクト形成法では、必ずしもセルフアラインコンタクトを必要とせず、通常のコンタクト形成が可能な領域にとってシリコン窒化膜は却って加工を困難にする。例えば、シリコン酸化膜とシリコン窒化膜とを同一の条件ではエッチングできず、加工制御を複雑にするので、エッチング精度ひいては製造された装置の信頼性を損なう恐れがある。

【0011】

【発明が解決しようとする課題】以上明らかなように、従来の自己整合的電極窓形成技術によれば、異方性エッチング窓開け工程では下層導電層の表面段差があらわれて後、下層導電層側面に被エッチング層たるエッチング・ストップ層がサイドウォールとして残ってしまう問題を生じる一方、層間絶縁膜がエッチングストップ層のスリット部分に残りがちで開口を正常に形成できないという問題も生じる。

【0012】更に、本技術では酸化膜エッチングのストップであるシリコン窒化膜を必要とするが、これがセルフ・アライン・コンタクトを必要としないコンタクト・ホールにとっては形成精度と信頼性を低下する原因となる。本発明は、以上の従来技術における3つの問題点をいずれも解決することを課題としてなされたものである。

【0013】

【課題を解決するための手段】前記課題解決のために、本発明では、例えば以下の構成を手段とする。第一の発明では、以下の構成を手段とする。基板表面に互いに離間して形成され、側面にシリコン酸化膜からなるサイドウォールを有する第一の段差及び第二の段差と、前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部がオーバーラップしてかつ該第一、第二の段差に挟まれた領域にて前記基板表面を露出させる開口と、前記開口内以外において前記第一、第二の段差表面を覆ってなり、かつ前記開口内壁において前記第一、第二の段差となだらかに表面が接続して該第一、第二の段差の側面とともに前記開口内側面をなすシリコン窒化膜とを有す

る半導体装置。

【0014】また、第二の発明では、以下の構成を手段とする。基板表面に、互いに離間して、側面にシリコン酸化膜からなるサイドウォールを有しかつ上面に絶縁膜を有する第一の段差及び第二の段差が形成される工程と、前記第一、第二の段差上にシリコン窒化膜が形成される工程と、前記第一の段差と第二の段差とに挟まれた領域において前記基板表面を露出させ、かつその底部側面において前記シリコン窒化膜表面と前記第一、第二の段差表面とがなだらかに接続し、かつ側面の一部が前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部が接触するように、前記シリコン窒化膜表面から異方性エッチングして開口を設ける工程とを有する半導体装置の製造方法。

【0015】さらには、前記シリコン窒化膜露出後の前記シリコン窒化膜の異方性エッチングを、準異方性エッチングとし、前記基板表面に対して水平方向にも積極的にエッチングしつつ前記異方性エッチングを行うこととしてもよく、また、前記シリコン窒化膜は、少なくとも前記開口部の1/2以上の厚さ被着形成されることとしてもよい。

【0016】以上の本発明の構成によれば、十分微細化した半導体装置のゲート電極面が造る凹凸にも係わらず、下地酸化膜との選択比を十分とることができ、また軽度には横方向へもエッチングしながらも縦方向の異方性を失うことなくエッチングを進めることができ、凹凸側面にストップ窒化膜の残さを残すことなく高アスペクト比の開口を形成可能になる。したがって、下部配線パターンが造る凸部間の狭い領域での半導体材料表面との電氣的コンタクトを、窓そのもののサイズを小さくすることなく下部配線パターンが造る凸部に積極的にオーバーラップさせることができ、微細な領域での電氣的コンタクトを確実に行うことができる。

【0017】以上、本発明の構成によれば、十分微細化した半導体装置のゲート電極面が造る凹凸形状に係わらず、下地酸化膜との選択比を十分とることができ、軽度には横方向へもエッチングしながらも縦方向へのエッチング速度が十分高く、異方性を保つので凹凸側面にストップ窒化膜の残さを残すことなく高アスペクト比の開口を形成可能となる。したがって、下部配線パターンが造る凸部間の狭い領域での基板表面との電氣的コンタクトを、窓そのもののサイズを小さくすることなく下部配線パターンが造る凸部に積極的にオーバーラップさせることができ、もって微細な領域での電氣的コンタクトを確実に行うことができる。

【0018】

【発明の実施の形態】それでは、本発明の実施の形態について、以下具体的に説明する。以下では、図1～図23を使用して説明する。

図1参照。

用意した半導体基板、例えば(100)面を有し、 $1.0 \pm 1.5 \Omega \text{cm}$ のP型シリコンウエハ1の表面を、薄く800~850°Cで加熱下、窒素分圧酸化して、一様な厚さのシリコン酸化膜2を形成する。厚さは70Å~100Åである。酸化の手段として加熱酸化を選んでいるのは、容易に形成できるからである。シリコン酸化膜2を形成する手段としては熱酸化法が選べる他、CVD(化学気相成長)法を用いての被着形成も可能である。あるいは、シリコン酸化膜に代えて、他の絶縁膜材料、例えば、シリコン窒化膜(SiN)やシリコンオキシナイト

ライド(SiON)を用いることもできる。また、単層の絶縁膜である必要もなく、所謂NO膜(窒化膜-酸化膜の二層構造膜)やONO膜(酸化膜-窒化膜-酸化膜の三層構造膜)を用いることもできる。  
【0019】一方、(100)面を有するシリコンウエハを半導体基板として用いたが、これに代えて、例えばCVD(化学気相成長)法により堆積した多結晶シリコン層、あるいはさらに加熱溶解等によって単結晶化したシリコン層であってもよい。シリコンウエハ1表面のシリコン酸化膜2に重ねて、ポリシリコン膜31を一様に500Å程度CVD(化学気相成長)法により被着形成する。ポリシリコン膜31に重ねてさらにタングステンシリサイド膜32を一様に1500Å程度CVD(化学気相成長法)により被着形成する。続いて、タングステンシリサイド膜32表面にシリコン酸化膜4を形成する。ここでは、シリコン酸化膜4として、厚さ800Å程度(700Å~900Å)の高温酸化膜(HTO膜)を採用する。ゲート電極の肩において膜が局所的に薄くなり、耐圧が低くなってしまうという問題を解消するため、特に耐圧が高く確保できる高温酸化膜(HTO膜)が採用されたのである。高温酸化膜(HTO膜)を被着形成する際の温度は約800°Cである。

【0020】以上で、シリコンウエハ1表面から順に、シリコン酸化膜2、ポリシリコン膜31、タングステンシリサイド膜32、高温酸化膜(HTO膜)4が、いずれも一様な厚さに形成される。なお、ここでは、シリコン酸化膜2の表面に形成されるゲート電極を、ポリシリコン膜31とタングステンシリサイド膜32との積層膜(ポリサイドと称される)として形成したが、その理由は、配線抵抗を低くできる点で有利だからである。もし、配線抵抗を下げるべき必要が深刻でないとか無視できるのであれば、前記積層膜に代えてポリシリコン膜31単層を使用することもできる。また、ポリシリコン膜31の被着形成当初は、アモルファスシリコン膜として形成することもできる。この場合には、ソース・ドレイン形成時の不純物導入時にチャネリングによる不純物つき抜け防止の点で有利である。形成されたアモルファスシリコン膜は、導電性を付与すべく不純物を拡散するための加熱工程で結晶状態も変化して、ポリシリコン膜となる。

【0021】この高温酸化膜(HTO膜)4の表面に厚さ7600Åのポジ型フォトリソレジストを塗布形成し、通常のフォトリソグラフィ工程を経て、レジストパターン9が形成される。このレジストパターン9をマスクとして、高温酸化膜(HTO膜)4、タングステンシリサイド膜32、ポリシリコン膜31を順にドライエッチングする。まず高温酸化膜(HTO膜)4を、 $\text{CF}_4 + \text{Ar}$ (流量比25sccm:60sccm)をエッチャントとするリアクティブ・イオン・エッチング(RIE)にて選択的にエッチングする。次いで、タングステンシリサイド膜32及びポリシリコン膜31を、 $\text{Cl}_2 + \text{O}_2$ (流量比80sccm:20sccm)をエッチャントとする高密度プラズマエッチングにて選択的にエッチングする。以上のエッチングが終了した後、マスクとして用いたレジストパターンを、 $\text{O}_2$ をガスとして用いたマイクロ波プラズマ処理によりアッシング除去する。

図2参照。

【0022】以上で、シリコン酸化膜2上には、ポリシリコン膜31/タングステンシリサイド膜32/高温酸化膜(HTO膜)4の三層構造からなる凸部が形成されることとなる。

図3参照。この凸部表面及び露出したシリコン酸化膜2表面に、一様に厚さ900Å程度(800Å~1000Å)の高温酸化膜(HTO膜)6を被着形成する。この高温酸化膜(HTO膜)6の形成時の温度は、約800°Cである。

図4参照。

【0023】続いて、高温酸化膜(HTO膜)6を全面ドライエッチバックして、凸部側面にだけ選択的にサイドウォール膜61として残す。このエッチバックは、 $\text{CF}_4 + \text{CHF}_3 + \text{Ar}$ (流量比33sccm:20sccm:208sccm)のリアクティブ・イオン・エッチング(RIE)にて行い、約770Åをエッチング除去し、約130Åをサイドウォール膜として残す。ところで、凸部の頭で下地となる材料もやはり高温酸化膜(HTO膜)4であり、エッチング終点を検出しにくいという問題が生じる。そこで、エッチング時間を工夫してエッチング終点を正確に制御することが望ましい。あるいは、第二絶縁膜4として、高温酸化膜(HTO膜)4に代えてシリコン窒化膜(SiN膜)を用いても、前記のエッチング終点を検出しにくいという問題は解消されることとなる。また、第二絶縁膜4にシリコンオキシナイトライド膜(SiON膜)を用いれば、第二絶縁膜4をゲートバタニング時の低反射膜として用いる際に、その低反射膜としての特性を制御容易である。なぜならば、シリコンオキシナイトライド膜(SiON膜)は、膜厚、屈折率、吸収係数を必要な数値に合わせるうえで、窒素含有量を変化させることによって容易に制御可能だからである。

【0024】さらに、このサイドウォール膜が側面に形

成された凸部表面及び露出したシリコン酸化膜2表面に、一様に、薄い高温酸化膜(HTO膜)65を厚さ約200Å被着形成する。ここで形成する高温酸化膜(HTO膜)65は所謂パッド酸化膜であり、シリコン窒化膜除去をSF<sub>6</sub>+HBrをエッチャントとして行う限りは、下地のシリコンとの選択比が低くなってしまい、基板が掘られるという問題が生じるので、パッド酸化膜の被着形成工程は割愛することができない。

図5参照。

【0025】続いて、一様に例えば800Åの厚さのシリコン窒化膜7を化学気相成長(CVD)法を用いて被着形成する。この際、さらに重ねて形成される上層の良好な被覆のためには、一つの凸部と隣接する凸部との間が実質的に埋めてみうる以上の厚さを選んで被着形成することが望ましい。すなわち、シリコン窒化膜7の厚さは、このシリコン窒化膜7を形成すべきコンタクト面の幅(本実施態様においてワード線の作る凸パターンの間)の少なくとも1/2以上とすれば、コンタクト部は実質的に完全に埋め込まれることとなってシリコン窒化膜7形成後の表面凹凸が緩和されるからである。

【0026】仮に、このシリコン窒化膜7の厚さが凸部間を埋め込むに十分なまででなかったとすると、発明の解決しようとした課題の項で説明した第二の課題が露頭する。すなわち、十分に埋め込まれなかったシリコン窒化膜7は凸部間においてスリット状の溝を生じる。この凸部間の間口が深さに比較してかなり狭かった(凸部間のアスペクト比が高かった)場合、スリット自体も狭く深くなっていっそう深刻である。かかる場合に、シリコン窒化膜7に重ねて形成される層間絶縁膜が特にCVD(化学気相成長)法で形成されれば、層間絶縁膜材料がスリットの中にまで深く入り込んでしまい、後のコンタクト窓エッチング工程でも除去されずに残ってしまい、続くシリコン窒化膜7除去工程ではシリコン窒化膜7と他の層(シリコン酸化膜)との選択比を十分取ってエッチングする必要から、スリット中に残った層間絶縁膜がマスクとなりシリコン窒化膜の残さを生じる。このように、一旦除去されなかったスリット中の層間絶縁膜材料は、後の完全な窓開けに対して良い影響を与えない。所定の面積で電気的コンタクトを確実に取りづらくなるか、最悪はシリコン基板自体が露出しないという問題が生じる。これを避ける方法としては、十分な厚さシリコン窒化膜7を被着形成しスリット自体を作らないようにすることの他、スリットができて、層間絶縁膜をエッチバックした後に薬液処理を施してスリット中から層間絶縁膜材料を除去するか、スリットの影響が最小限にできるようにアスペクト比を下げ(間口を十分広めに取)る方法がある。

図6参照。

【0027】さらに、シリコン窒化膜7表面に、ボロ・フォスフォ・シリケート・ガラス膜(BPSG膜)8を

化学気相成長(CVD)法にて1.75μm被着形成する。被着形成時の条件は、700℃程度、20分間窒素雰囲気下での加熱である。続いて、850℃、10分間窒素雰囲気下で加熱してリフローし、BPSG膜8表面をなだらかにする。層間絶縁膜材料としてBPSGを選んだのは、比較的低い温度の加熱でも容易にリフロー可能だからである。理想的には、このBPSG膜8表面が略平坦になるまでリフロー加熱するのがよいが、あまりに熱履歴が長くても、図示しない能動領域内の導電性不純物が不要に拡散してしまい、所望の不純物プロファイルが得られないとか、他の層に良からぬ熱ストレスを与えるという問題が生じるので、両者の兼ね合いで加熱時間を決定すべきである。BPSG膜8を層間絶縁膜として選んだ理由は、BPSG膜8は融点が比較的低い温度であるため、低い温度での加熱で十分なリフローが可能になるという点で、熱ストレスを低く抑えつつ層間絶縁膜を平坦にできる効果が大いからである。しかしながら、熱ストレスが多少大きくても構わないプロセスであれば、フォスフォ・シリケート・ガラス膜(PSG膜)やボロ・シリケート・ガラス膜(BSG膜)を選んで使用してもよい。さらに、BPSG膜上に高温酸化膜(HTO膜)66を形成する。これは深いコンタクトホールの場合にエッチング時間が長くなるので、レジストの側面が後退する。そのレジスト形状の影響を受けてコンタクトホールの間口が広がってしまうことを抑制するため設けてある。もちろん、浅いホールの場合には、その必要はない場合もあり、本発明の効果に基本的な影響を与える要件ではない。高温酸化膜(HTO膜)66は、例えば成長温度800℃にて形成する。下地段差の影響を受けて表面に段差を作りやすい場合、高温酸化膜(HTO膜)66は必ずCMP(化学機械的研磨)法にて研磨して表面をいっそう平坦にしてもよい。

図23参照。

【0028】上記図6に対応する工程で、後のエッチングストップとなるシリコン窒化膜7に下地の凹部形状を反映しない形に被着形成可能になれば、下地の凹部のうえでシリコン窒化膜7がスリットを生むことがなく、さらに続いて形成されるBPSG膜8がこのスリット中に入り込んで形成されることはなくなる。ゆえに、図23のように、シリコン窒化膜7の表面が滑らかになるように被着形成すれば、後でコンタクトホールを窓開けする際に、スリット中にBPSG膜8残さを残さないように、エッチャントレシビ等条件合わせに配慮する必要はなくなる場合がある。シリコン窒化膜7表面にスリットを残さないためには、シリコン窒化膜を下地段差間隔に比べて十分厚く被着形成すればよいが、必要以上に厚く形成しなければスリットが埋まらないというのであれば、厚く形成されたシリコン窒化膜を後でCMP(化学機械的研磨)するか、ドライ・エッチングによるエッチバック等により全面を薄くすることができる。

图7 参照。

【0029】高温酸化膜（HTO膜）66上に、ポジ型フォトリソストを全面塗布形成する。続いて、通常のフォトリソグラフィ工程を通じてこのポジ型フォトリソストをパターンニングし、図示の如くレジストパターン9とする。このレジストパターン9をマスクとして、まずBPSG膜8をエッチングする。この際、エッチャントとしてC4F8+CO+Ar（流量比10sccm：75sccm：200sccm）を用いたリアクティブ・イオン・エッチング（RIE）にてエッチングし、シリコン窒化膜7が露出した時点で、エッチングを終わらせる。

图8 参照。

【0030】次いで、露出したシリコン窒化膜7を、同じレジストパターンをマスクとして使用し、エッチング除去する。この際、エッチャントとして $\text{CHF}_3 + \text{O}_2$ （流量比67 sccm : 13 sccm）を用いたリアクティブ・イオン・エッチング（RIE）にてエッチングし、下地である凸部上面の高温酸化膜（HTO膜）4が露出する付近でエッチングを終わらせる。

图9 参照。

【0031】次いで、凸部パターン間の狭い間隙に残ったシリコン窒化膜7を、高温酸化膜（HTO膜）65をストッパに除去すべくエッチャントを変更してプラズマエッチングする。ここで、わざわざプラズマエッチングをエッチング方法として選んだ理由は、アノードカップルだからである。通常、RIE（リアクティブ・イオン・エッチング）はカソードカップルである。この際、エッチャントとしてSF<sub>6</sub>+HBr（流量比200cc：25cc）、圧力300mTorr、RF電力200Wとする。

【0032】なお、このエッチングでは、準異方性エッチングとし、異方性を確保しつつも基板水平面方向へも若干積極的にエッチングすることが望ましい。その理由は、単なる異方性エッチングでは、特に凸部側面においてシリコン窒化膜7がサイドウォール状に残ってしまう可能性が否めないからである。準異方性エッチングでシリコン窒化膜7をエッチングすると、従来異方性エッチングで問題となったゲート電極側面に生じるエッチング残さを、他の材料と高選択に効率良く除去できる。除去効率はR比（準異方性エッチングにおける垂直方向エッチング量に対する水平方向エッチング量の比）で決まり横方向（水平方向）のエッチング速度成分の大きいほど（R比が1に近いほど）ゲート側面の窒化膜残さ除去効率が高い。一方、R比が1に近づくときコンタクト・ホール内部のアンダーカットが顕著になり、配線材料の被着形状に悪影響が出る。したがって、適当なR比を選ぶ必要がありその制御方法はガスの比率、エッチング圧力、電力、ウエハ温度等で適宜制御可能である。

【0033】また、エッチャントをSF<sub>6</sub>+HBr+N<sub>2</sub> 50

2としてN<sub>2</sub>を含めることで、シリコン窒化膜7と酸化膜の間のエッチング選択比が高くなるので、コンタクト・ホールを開口する際の制御性が向上しそうです。図10参照。レジストパターン9をマスクとして用いて、RIE（リアクティブ・イオン・エッチング）により、高温酸化膜（HTO膜）65とシリコン酸化膜2を除去する。この際のエッチャントとしては、CHF<sub>3</sub>+O<sub>2</sub>（流量比67sccm：13sccm）、200mTorr、RF電力300Wを選ぶことができる。

10 【0034】次に、上記エッチングにて開口部底に形成されたイオン衝撃によるダメージを補償する場合には、イオン注入を行う。不純物にはリン(P)を用い、エネルギー量30keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。その後、犠牲的に形成されている酸化膜(非常に薄い10Å程度)を除去するためにHF系のウェット処理を行う。フッ化水素アンモニウム：フッ化アンモニウム(1%：40%)の水溶液中でウェットエッチングし、シリコンウエハ1表面を再び露出させる。BPSG膜とHTO膜とのエッチレートを同じにするため

20 表記の薬品を用いる。普通のHFを用いると、BPSG膜8部分だけが開口部から側方に向けて余計にエッチングされて掘れてしまう。

【0035】その後、マスクとして使用したレジストパターン9を酸素(O<sub>2</sub>)雰囲気下のマイクロ波プラズマ処理にてアッシング除去する。

図11参照。さらに続いて、ドーブトアモルファスシリコン膜を化学気相成長(CVD)法にて一様に、前工程まででエッチングしてできた開口部表面を覆い、さらに十分な厚さ被着形成する。ポリシリコン膜を化学気相成長(CVD)法にて一様に形成しておき、後で導電性を付与すべく不純物を添加するという方法も採用できる。この場合、導電性不純物にはリン(P)を用い、エネルギー量30keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。次いで、不純物拡散のための加熱工程を経てドーブトアモルファスシリコン膜10が形成される。この場合、不純物添加はPOCl<sub>3</sub>等のガスを使った常圧、または減圧の熱拡散である。

图 12 参照。

【0036】ここで、ドーブトアモルファスシリコン膜  
10の全面に対し、CMP（化学機械研磨）法によって  
研磨し、配線層10が平坦部から完全に除去され開口部  
内にのみ残るようになるまでCMP研磨して除去する。  
ここでは、第一の配線層10としては、不純物を添加す  
ることで導電性を付与したドーブトアモルファスシリ  
コン膜単層を使用した例を示したが、與行きが間口に比  
べて比較的短い、所謂アスペクト比が低い開口の場合に  
は、スパッタリング法しか現実的な被着形成方法がない  
アルミニウム乃至アルミニウムに微量のシリコンを混合  
させたアルミニウム・シリコンや、同様に微量の他の金  
属を混合したアルミニウム・銅、アルミニウム・シリコ

ン・銅などを用いることも可能であり、かかる場合には、配線を著しく低抵抗化可能となり、装置の高速動作化に寄与できる。また、アルミニウム乃至前記紹介の他のアルミニウム系配線材料を用いた場合には、開口部表面にチタン膜やチタン/チタンナイトライド積層膜等の高融点金属材料を用いると、ウェハ1をなすシリコンと配線層をなすアルミニウム系材料とが直接に接触することが避けられるから、シリコン中にアルミニウムが入り込んで拡散層を破壊するアロイスバイクの問題を回避することができる。高融点金属材料としては、前記例に代えて、タングステン、タングステンナイトライド、チタンタングステン、タンタル、タンタルナイトライドも使用することができる。また、前記高融点金属材料をBPSG膜8上に形成することで、アルミニウム原子が電子で押し流されてしまうエレクトロ・マイグレーション等の問題を回避可能にもなる。

【0037】あるいは、間口に比べて十分奥行きが深い所謂高アスペクト比の開口であっても、一旦化学気相成長(CVD)法で被着形成したポリシリコンを、BPSG膜8上に引き出された部分までを残し他を除去するようにパターニングし、このポリシリコンパターンに接触するようにアルミニウム系材料を被着形成することで、配線材料の開口内への綺麗な被膜と配線全体の低抵抗化を両立可能でもある。なお、かかる場合に前記高融点金属材料を用いても同様の効果が期待できる。単に、シリコンウェハ1内の能動領域と電気的に接続すべく第一の配線層を開口内に形成したいというだけであれば、以上の工程を通して第一の配線層の形成までは終了する。

【0038】メモリセルのキャパシタ及び配線を形成する工程においても、キャパシタ膜(蓄積電極と対向電極)と同一工程で、ビット線コンタクトの形成が行われているが、かかる場合には、加えて以下のような工程があればよい。

図13参照。第一の配線層10表面及び高温酸化膜(HTO膜)66表面を覆うように、NO膜11を全面被着形成する。NO膜とは、窒化-酸化膜のことを指すが、ここでは、まず第一の配線層10表面にCVD窒化膜を被着形成し、さらに続いてCVD窒化膜の表面を薄く水蒸気酸化することで、窒化/酸化膜の積層構造を形成する。このシリコン窒化膜の膜厚は、50Å程度である。窒化膜は、650℃下でのCVD(化学気相成長)法にて形成され、一方、上部の酸化膜は、800℃下で水蒸気酸化して形成できるが、CVD酸化膜としても良い。

【0039】続いて、ドーブトアモルファスシリコン膜12をCVD(化学気相成長)法によって全面に被着形成する。厚さ800Å程度(700Å~900Å)で、500℃下でCVD形成する。リン(P)イオンをドーブ量 $1.4 \times 10^{21} \text{ cm}^{-3}$ 含む。

図14参照。かかる全面形成されたドーブトアモルファスシリコン膜12表面に、レジスト膜93を塗布形成す

る。

図15参照。

【0040】こうして全面塗布形成されたレジスト膜93を、通常のフォトリソ技術にて開口部上だけを覆うようにパターニングする。

図16参照。続いて、前記パターニングされたレジスト膜93をマスクとして用い、RIE(リアクティブイオンエッチング)法によってドーブトアモルファスシリコン膜12をパターニングする。この際のエッチャントには、 $\text{Cl}_2$ (塩素)+ $\text{O}_2$ (酸素)(流量比60sccm:10sccm)として用いることができる。続いて、 $\text{O}_2$ (酸素)を用いたプラズマアッシング法によってレジスト膜93をアッシング除去する。

図17参照。

【0041】次いで、BPSG(ボロ・フォスフォ・シリケート・ガラス)膜82を厚さ1500Å程度に全面CVD(化学気相成長)法にて被着形成する。CVD形成した後、表面平坦化のために加熱してリフロー処理する。層間絶縁膜材料としてBPSGを用いたのは、融点が比較的低く、このリフロー処理時の加熱温度を幾分でも低くできるという効果からであるが、熱ストレスを気にしなくても良いプロセスの場合には、PSG(リン・シリケート・ガラス)やBSG(ボロ・シリケート・ガラス)をBPSGに代えて用いることもできる。

図18参照。

【0042】続いて、このBPSG膜82にビット線コンタクトとすべき図面の左側開口部上だけに窓を設けるべく通常のフォトリソパターニングを行う。すなわち、全面形成されたBPSG膜82の表面に先ずフォトレジスト膜を全面塗布形成する。このフォトレジスト膜を露光して所望の位置だけを現像パターニング除去する。こうしてできたレジストパターン(図示しない)をマスクとしてRIE(リアクティブ・イオン・エッチング)によってレジストパターン開口部に対応したBPSG膜を選択的にエッチング除去する。この際のエッチャントとしては、 $\text{CF}_4 + \text{CHF}_3 + \text{Ar}$ (流量比19sccm:24sccm:83sccm)を用いることができる。

図19参照。

【0043】続いて、シリコンウェハ1表面の能動層を配線層に接続するための第一のコンタクトホール51と、別のトランジスタゲート(ワード線)を配線層に接続するための第二のコンタクトホール52とを開口する。この際には、該当部分の表面に選択的に窓を有するフォトレジストパターンを先ず通常のフォトリソパターニングにて形成する。次いで、このフォトレジストパターンをマスクとしてRIE(リアクティブ・イオン・エッチング)法により順次エッチング除去する。この際のは、 $\text{CHF}_3 + \text{O}_2 + \text{Ar}$ (流量比50sccm:5sccm:500sccm)を用いることができる。



図20参照。

【0044】次いで、ビット線用配線層を被着形成する工程に移る。先ず、600Åのチタン膜(Ti膜)13をCVD(化学気相成長)法にて形成する。この工程でCVD(化学気相成長)チタン膜に代えて、スパッタ・チタン膜乃至ハイデンシティー・プラズマチタン膜を用いることもできる。ハイデンシティー・プラズマチタン膜とすれば、コンタクト抵抗と接合リークを設計基準に合わせて形成することがより容易になるという効果がある。このハイデンシティー・プラズマ膜とは、一種のバイアスパッタ法乃至イオンブレーティングに近い技術によって形成されるものである。続いて、400Åのチタンナイトライド膜(TiN膜)14を同様にCVD(化学気相成長)法にて被着形成する。膜を形成する部分が深く凹でなければスパッタリング法による形成も可能であるが、装置全体が微細化している現状では綺麗に微細な凹部内に埋め込むことが難しく、したがってCVD(化学気相成長)法による方がより埋め込み形成容易である。これらTi膜13とTiN膜14との二層の形成は、同一チャンバー内において窒素系ガスを途中から加入することによれば連続して行うことが可能である。続いて1000Åのタングステン膜(W膜)15をCVD(化学気相成長)法にて被着形成する。以上3層が配線層材料をなす。

【0045】さらに、この配線層材料の表面に形成されるフォトレジストのパターニングに用いる光が下地をなすタングステン膜(W膜)15表面から高反射してしまう問題を解消するために、タングステン膜(W膜)15表面に280Åのシリコンオキシナイトライド膜(SiON膜)16を被着形成する。厚さは下地膜からの反射を防止できる厚さである必要がある。形成方法としては、プラズマCVD(化学気相成長)法を用いればよい。プラズマCVD法を使用するのは、膜の屈折率を制御しやすいという効果からである。

【0046】ところで、同図面及びこれ以降の図面において、図19で示した第一のコンタクトホール51及び第二のコンタクトホール52は図示を省略するが、各配線層は図示しないこれらのコンタクトホール51、52内にも図示される如くに全面被着形成されている。なお、この配線層の材料は、主としてアルミニウム系合金膜を選ぶことができる。アルミニウム系合金膜は、導電率が高い、形成容易である、工程途中乃至製品使用中にマイグレーションによる切れを起こしにくい等を条件として選択されたものであり、他には高融点金属系材料やドーパントシリコン、高融点金属シリサイド膜等を用いることもでき、CVD(化学気相成長)法により形成可能な材料を選択すれば形成面の凹部が間口に比べて深くても被着形成が容易であるという効果がある。コンタクト抵抗と接合リークとがともに低いことを条件として選ばれるべきであるが、コンタクト面において自己整合的に

シリサイド化する所謂サリサイド技術を採用すれば工程簡易にしてコンタクト抵抗を下げうるという効果がある。アルミニウムは一般にCVD(化学気相成長)法が量産適用できず、未だ実験段階にある。したがって、アルミニウム系合金膜乃至純アルミニウム膜の形成には、スパッタリング法を採用するのが大抵であり、導電率が高い点での効果が著しい反面、凹部に埋め込むのが難しいという短所がある。アルミニウム系材料を配線層として形成する場合に、この短所を改善する方法としては、「フォースフィル」と呼ばれる方法が知られている。この方法は、アルミニウム系合金を加熱、加圧条件下でリフローするように膜の被着形状を改善するものである。同時に、アルミニウム系材料は、単結晶化するとマイグレーションに強くなることも知られているので、単結晶アルミニウムをフォースフィルによって形成できれば高導電率と良好な被着形状とを両立可能になる。

【0047】なお、図20の例に代えて、図24のようにキャパシタセルの領域だけを大きくとることもできる。図24は、図20に対応した工程説明図であり、図中で同じ番号を付して示したものは同じ材料である。この図24に断面が示された装置は、図の右側に位置するキャパシタセルが単に一つのゲート電極上にオーバーラップしているにとどまらず、窓を設ける領域の両側のゲート電極二つともの上にオーバーラップしているので、より広いセル面積が確保できることになる。図21参照。

【0048】続いて、全面に被着形成された前記配線層(チタン膜13、チタンナイトライド膜14、タングステン膜15)をパターニングする工程に移る。先ず、シリコンオキシナイトライド膜16表面にフォトレジストを全面塗布形成する。次いで、通常のフォトリソパターニング法にしたがって露光、現像して、図面左側のビット線コンタクトホール周辺上にだけフォトレジストパターンを残す。

【0049】このフォトレジストパターンをマスクとして用い、RIE(リアクティブ・イオン・エッチング)法により配線層(チタン膜13、チタンナイトライド膜14、タングステン膜15)のパターニングを行う。配線層材料が3層で異なりさらに配線層の上には反射防止膜としてシリコンオキシナイトライド膜16が形成されているので、エッチャントガスをその都度変更する必要があるが、例えばNF<sub>3</sub>+Arを流量比300sccm:20sccmとして用いれば、シリコンオキシナイトライド膜とタングステン膜とを一気にパターニングできる。また、Cl<sub>2</sub>100sccmをガスとして用いれば、チタンナイトライド膜とチタン膜とを一気にパターニングできる。その他の条件としては、RFパワー400W、圧力100mTorr。

図22参照。

【0050】前記3層構造の配線層は、下部のビット線

コンタクト部（図上左側で開口部を通してシリコンウエハ1と電氣的に接続している箇所）と電氣的に接続してビット線配線層としての役割を担うこととなる。この配線形成工程が終了すると、次には層間絶縁膜形成工程に移る。具体的には、ビット線配線層表面及びBPSG（ボロ・フォスフォ・シリケート・ガラス）膜82全面を覆う新たなBPSG（ボロ・フォスフォ・シリケート・ガラス）膜83をCVD（化学気相成長）法にて被着形成する。厚さは8000Å、加熱して表面をリフローする。この工程において、BPSG膜に代えて、HDP-SiO（ハイデンシティー・プラズマシリコンオキシド）膜を用いることもできる。HDP-SiOを用いることができれば、以下の点で有利である。すなわち、BPSG膜のように、形成工程途中で高温を加える必要がなくなるので、熱ストレスを格段に抑えることができる。HDP-SiO膜を1μm上乗せし、プラズマ酸化膜7000Å被着形成する。この後、これら絶縁膜の上から配線上で8000Å残るまでCMP（化学機械的研磨）エッチバックを行なう。また、HDP-SiOF（ハイデンシティー・プラズマシリコンオキシフロライド）膜のように、ハイデンシティー膜にフッ素を添加することもよい。この場合には、膜の誘電率が高くなるので、上記のHDP-SiO膜の効果に加えて、配線と他の配線との層間における所謂クロストーク（相互干渉）の低減に効果が高い。

【0051】この後、配線層を形成して下層配線層と接続するためのコンタクトホール（図示しない）を開く工程に移る。パターンニングはフォトレジストをマスクとして用いた通常のフォトリソ工程によって行なえばよい。層間絶縁膜のエッチングは、このマスクを使用し、CF<sub>4</sub>+CHF<sub>3</sub>+Arを流量比20sccm:14sccm:425sccmにて用いたRIE（リアクティブ・イオン・エッチング）による。

【0052】こうしてできたコンタクトホール内及び平坦化されたBPSG膜83（乃至HDP-SiO膜）表面に、上層配線層材料を全面被着形成する。先ず500Åのチタンナイトライド膜（TiN膜）17をCVD（化学気相成長）法にて被着形成する。次いで、このTiN膜17に重ねて3000Åのタングステン膜（W膜）18をCVD法にて被着形成する。全面被着形成されたこれら2層はフォトレジストパターンをマスクとして通常のフォトリソパターンニング工程にしたがってパターンニングされる。パターンニングはRIE（リアクティブ・イオン・エッチング）法にて行が、エッチャントガスを各層毎に変更する場合、次のガスを用いることができる。すなわち、タングステン（W）膜のエッチングに対してNF<sub>3</sub>+Ar（流量比300sccm:20sccm）を用い、またチタンナイトライド（TiN）膜のエッチングに対してCl<sub>2</sub> 100sccmを用いる。RFパワー400W、圧力100mTorr。こうして

できたチタンナイトライド（TiN）／タングステン（W）の積層膜パターンをも覆うようにBPSG膜84を新たに全面被着形成する。表面平坦化のために加熱してBPSG膜84をリフローする。このBPSG膜84もHDP-SiO膜で代えることができ、その際には低温形成による効果が加えて得られる。HDP-SiO膜を使用する場合には、十分な厚さを被着形成しておいて、所望の膜厚までCMP（化学機械的研磨）エッチバックを行なえばよい。

【0053】次いで、このBPSG膜（乃至HDP-SiO膜）84中にコンタクトホールを設ける。上記BPSG膜83内に設けたコンタクトホールの形成工程と同様の方法をとればよい。ただし、最上層に被着形成される配線材料は後述のアルミニウム系合金膜であり、スパッタリングによって形成される以上、コンタクトホール内でのカバレッジ（被覆形状）が良好でないため、コンタクトホールの形状そのものをカバレッジ改善のために工夫することも必要である。このホール形状改善の方法は、特開昭56-90525号公報に開示されるとおりである。この公報開示の方法を採用した場合、等方性エッチング工程についてはフッ化水素アンモニウム+フッ化アンモニウムの混合液によるウェットエッチング、異方性エッチング工程についてはCF<sub>4</sub>+CHF<sub>3</sub>+Ar（流量比19sccm:24sccm:83sccm）を用いたRIE（リアクティブ・イオン・エッチング）による。

【0054】さらに、このBPSG膜（乃至HDP-SiO膜）84表面に図示しないアルミニウム系配線材料をスパッタリング形成しパターンニングすることで最上層の配線層とする。アルミニウム系配線層は、アルミニウムに1%のシリコンを含めたものや、アルミニウム・シリコン・銅等、マイグレーション等の深刻さにしたがって適宜用いられたい。

【0055】以上が、DRAMの配線工程中、特に、ビット線コンタクト配線（図面の左側）とキャパシタ電極（図面の右側）とを同一工程にて形成する場合の本発明の実施形態である。ところで、本発明は以上のDRAMの製造工程に限定されことなく、他の微細な半導体装置全般に適用できるものである。例えば、フラッシュメモリやロジックデバイス、プロセッサ等用途は限られない。また、以上の製造工程の実施形態では、単層ゲート電極に対してオーバーラップしたコンタクトホールの開口を取り上げて説明しているが、コンタクトホールが底部でオーバーラップするのが多層ゲート電極であってもよい。その他、基板面に直に接触する配線層乃至他の絶縁性材料が作る段差であってもよい。

【0056】

【発明の効果】本発明によれば、集積回路（IC、LSI）などの半導体装置内で、不純物を導入して形成される能動領域と他の能動領域を接続するため設けられる電

極形成用のコンタクト窓を積極的に下層導電層と窓とを自己整合的にオーバーラップさせて構成した場合にも、信頼性の高い電氣的コンタクトが可能になるという効果がある。

【0057】より詳細には、下層導電層を窓の位置にオーバーラップさせようとした場合に生じる窓下方の段差にもかかわらず、エッチング残さをも綺麗に除去して確実に下地の能動層乃至配線層を露出することができ、同時に窓内に配線層材料を被膜形成するにあたって、局部的に薄くしか形成されない等の問題を生じず、もって

確実な下地能動層乃至配線層との電氣的コンタクトを行える方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の原理工程を示す途中断面図

【図2】本発明の第2の原理工程を示す途中断面図

【図3】本発明の第3の原理工程を示す途中断面図

【図4】本発明の第4の原理工程を示す途中断面図

【図5】本発明の第5の原理工程を示す途中断面図

【図6】本発明の第6の原理工程を示す途中断面図

【図7】本発明の第7の原理工程を示す途中断面図

【図8】本発明の第8の原理工程を示す途中断面図

【図9】本発明の第9の原理工程を示す途中断面図

【図10】本発明の第10の原理工程を示す途中断面図

【図11】本発明の第11の原理工程を示す途中断面図

【図12】本発明の第12の原理工程を示す途中断面図

【図13】本発明の第13の原理工程を示す途中断面図

【図14】本発明の第14の原理工程を示す途中断面図

【図15】本発明の第15の原理工程を示す途中断面図

【図16】本発明の第16の原理工程を示す途中断面図

【図17】本発明の第17の原理工程を示す途中断面図

【図18】本発明の第18の原理工程を示す途中断面図

【図19】本発明の第19の原理工程を示す途中断面図

【図20】本発明の第20の原理工程を示す途中断面図

【図21】本発明の第21の原理工程を示す途中断面図

【図22】本発明の第22の原理工程を示す途中断面図

【図23】本発明の第6の別の原理工程を示す途中断面図

【図24】本発明の第20の別の原理工程を示す途中断面図

【図25】従来技術における第1の問題点を示す途中断面図

【図26】従来技術における第2の問題点を示す途中断面図

各図中、

1 はシリコンウエハ、

2 はシリコン酸化膜、

31 はポリシリコン膜、

32 はタングステンシリサイド膜、

4 は高温酸化膜 (HTO膜)、

6 は高温酸化膜 (HTO膜)、

61 はサイドウォール (HTO膜)、

65 は高温酸化膜 (HTO膜)、

10 66 は高温酸化膜 (HTO膜)、

7 はシリコン窒化膜、

8 はBPSG膜 (ボロ・フォスフォ・シリケート・ガラス膜)、

82 はBPSG膜 (ボロ・フォスフォ・シリケート・ガラス膜)、

83 はBPSG膜 (ボロ・フォスフォ・シリケート・ガラス膜)、

84 はBPSG膜 (ボロ・フォスフォ・シリケート・ガラス膜)、

20 9 はレジストパターン、

92 はレジスト膜、

93 はレジスト膜、

10 はドーブトアモルファスシリコン膜、

11 はNO膜 (窒化-酸化膜)、

12 はドーブトアモルファスシリコン膜、

13 はチタン膜 (Ti膜)、

14 はチタンナイトライド膜 (TiN膜)、

15 はタングステン膜 (W膜)、

16 はシリコンオキシナイトライド膜 (SiON膜)、

30 17 はチタンナイトライド膜 (TiN膜)、

18 はタングステン膜 (W膜)、

101 はシリコンウエハ、

102 はシリコン酸化膜、

131 はポリシリコン膜、

132 はタングステンシリサイド膜、

114 は高温酸化膜 (HTO膜)、

161 はサイドウォール (HTO膜)、

165 は高温酸化膜 (HTO膜)、

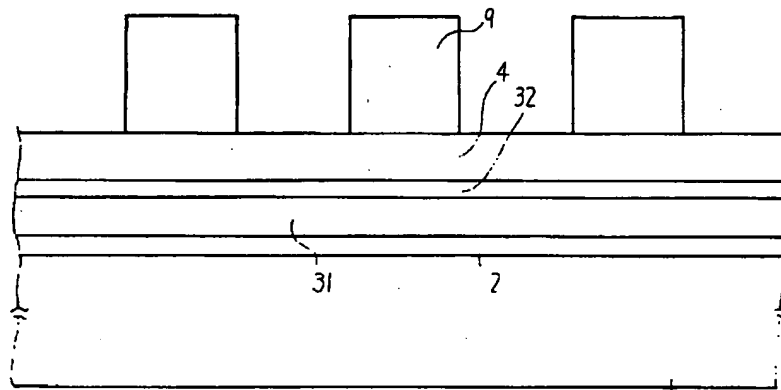
117 はシリコン窒化膜、

40 118 はBPSG膜 (ボロ・フォスフォ・シリケート・ガラス膜)、

119 はレジストパターン

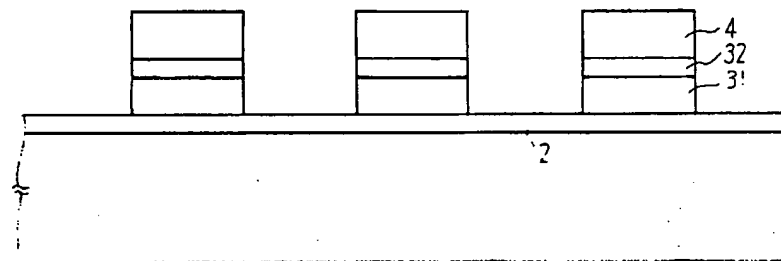
である。

【図1】



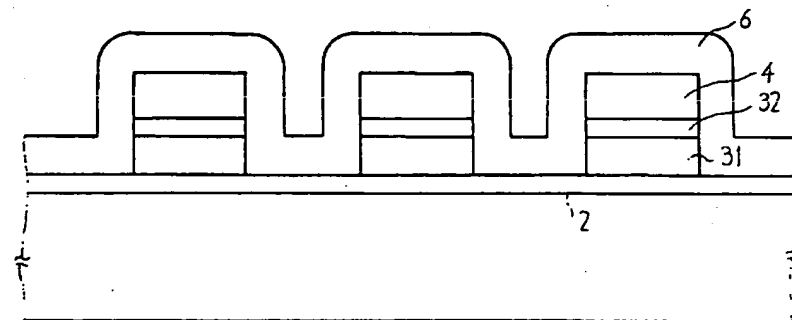
- 1: シリコンウェハ  
 2: シリコン酸化膜  
 31: ポリシリコン膜  
 32: タングステンシリサイド膜  
 4: 高温酸化膜 (HTO膜)  
 9: レジストパターン

【図2】



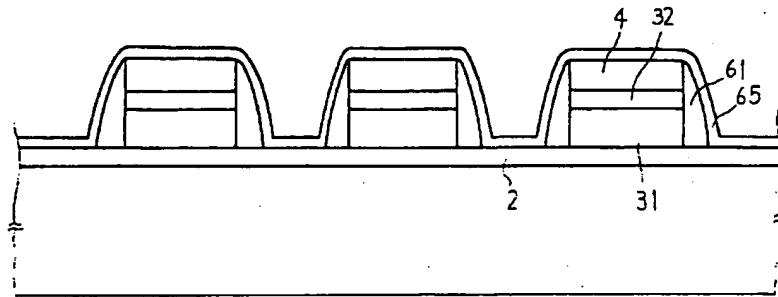
- 1: シリコンウェハ  
 2: シリコン酸化膜  
 31: ポリシリコン膜  
 32: タングステンシリサイド膜  
 4: 高温酸化膜 (HTO膜)

【図3】



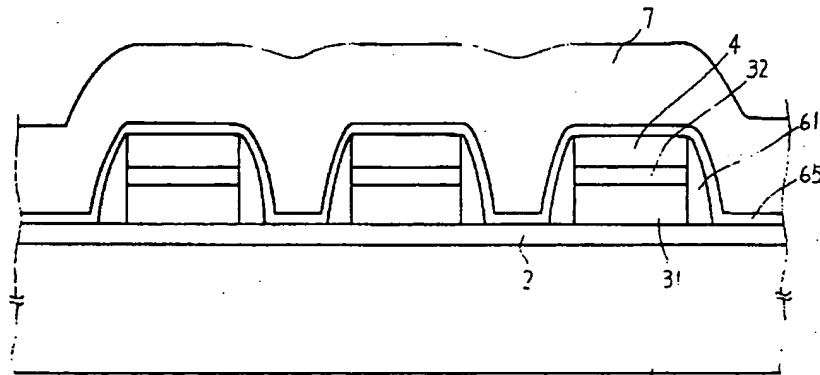
- 1: シリコンウェハ  
 2: シリコン酸化膜  
 31: ポリシリコン膜  
 32: タングステンシリサイド膜  
 4: 高温酸化膜 (HTO膜)  
 6: 高温酸化膜 (HTO膜)

【図4】



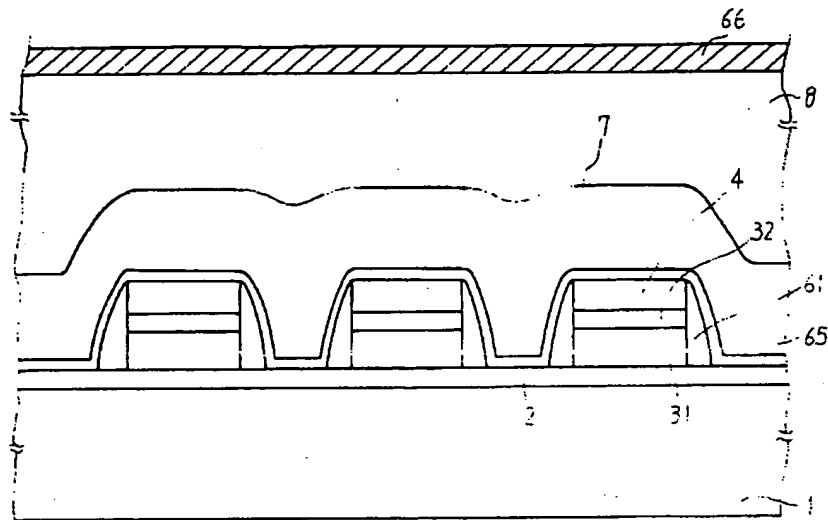
- |                  |                     |
|------------------|---------------------|
| 1: シリコンエハ        | 4: 高温酸化膜 (HTO 膜)    |
| 2: シリコン酸化膜       | 61: サイドウォール (HTO 膜) |
| 31: ポリシリコン膜      | 65: 高温酸化膜 (HTO 膜)   |
| 32: タングステンシリサイド膜 |                     |

【図5】

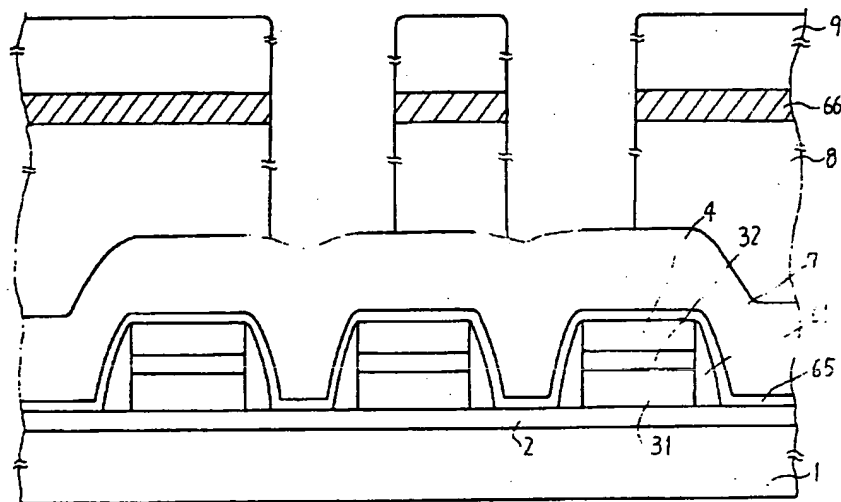


- |                  |                     |
|------------------|---------------------|
| 1: シリコンエハ        | 4: 高温酸化膜 (HTO 膜)    |
| 2: シリコン酸化膜       | 61: サイドウォール (HTO 膜) |
| 31: ポリシリコン膜      | 65: 高温酸化膜 (HTO 膜)   |
| 32: タングステンシリサイド膜 | 7: シリコン酸化膜          |

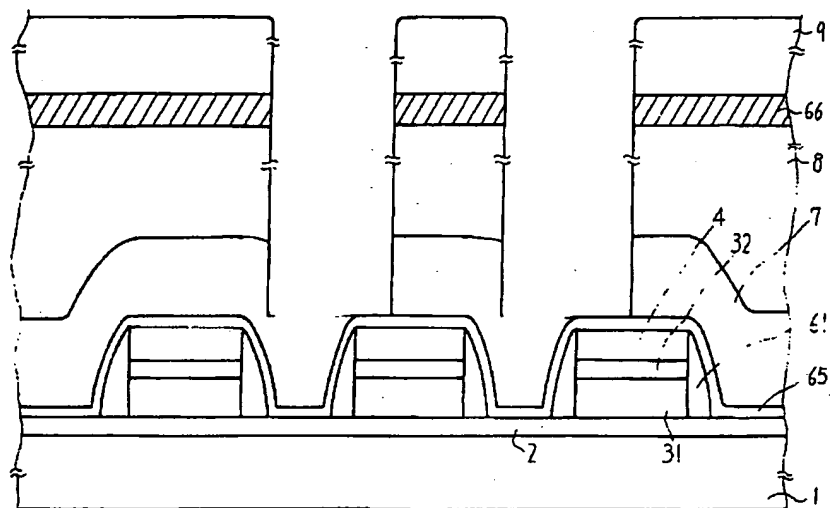
【図6】



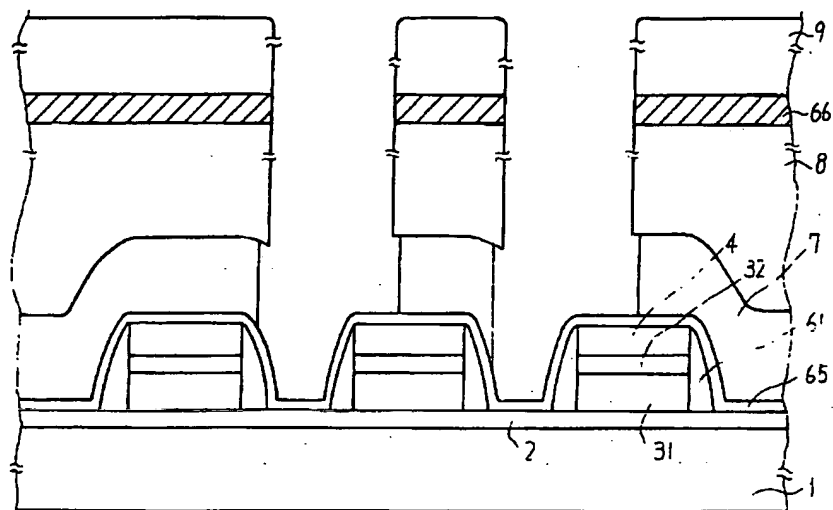
【図7】



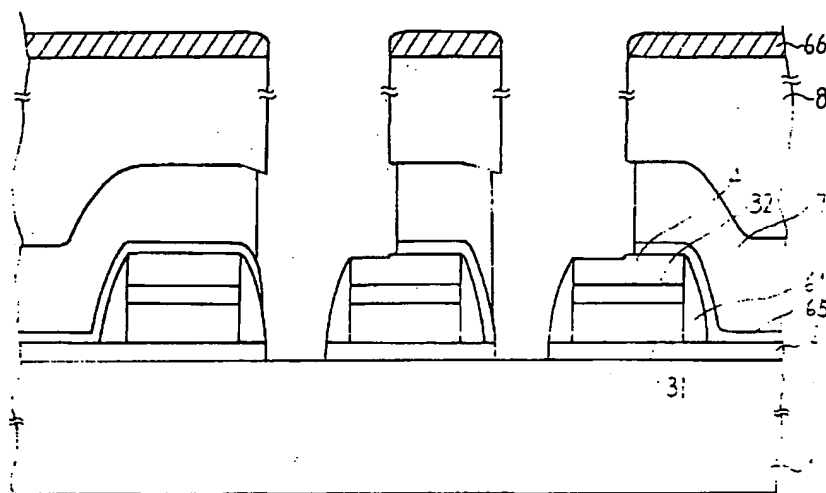
【図8】



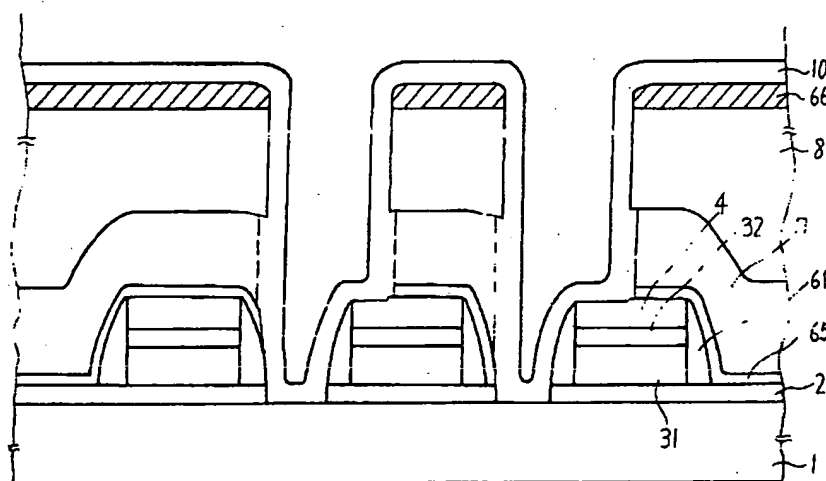
【図9】



【圖 10】

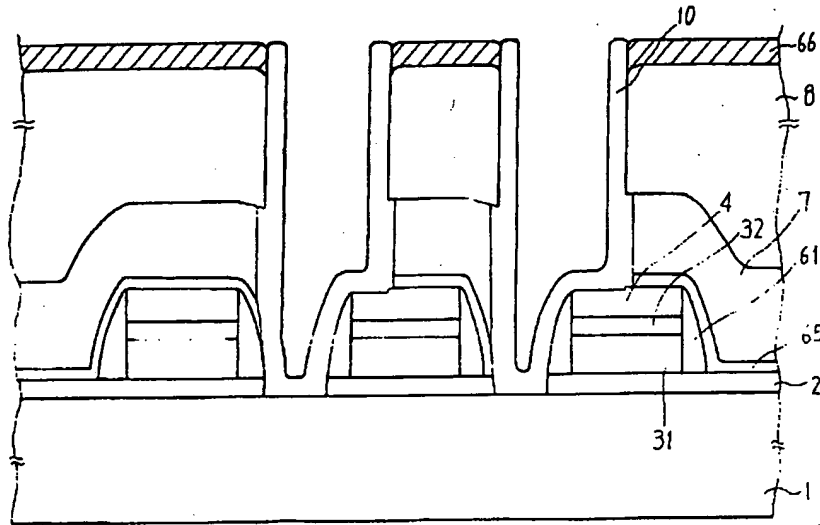


【图 11】

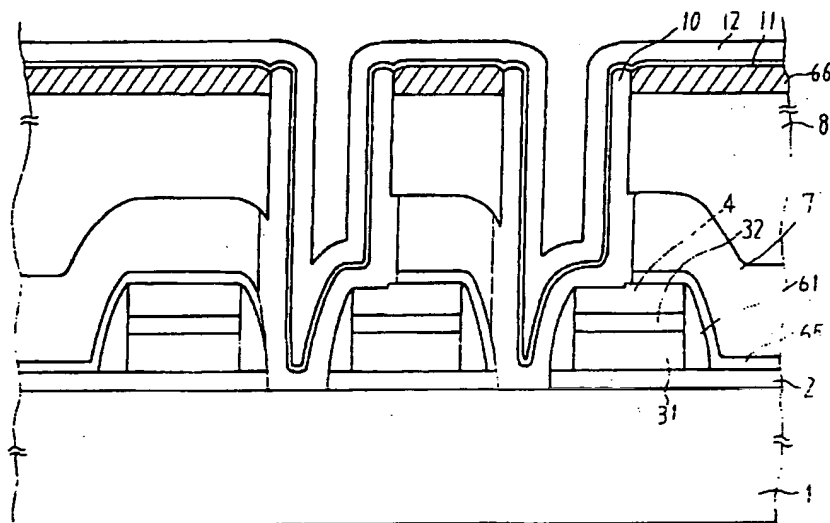




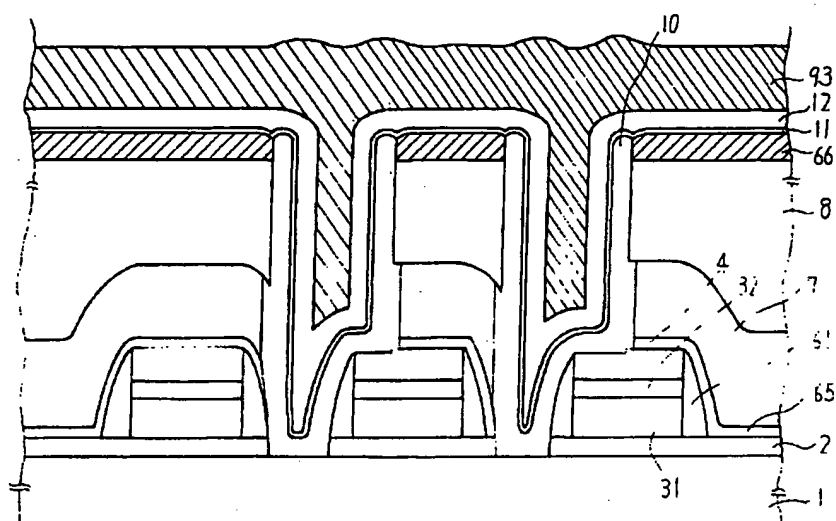
【図12】



【図13】



【図14】



【図15】

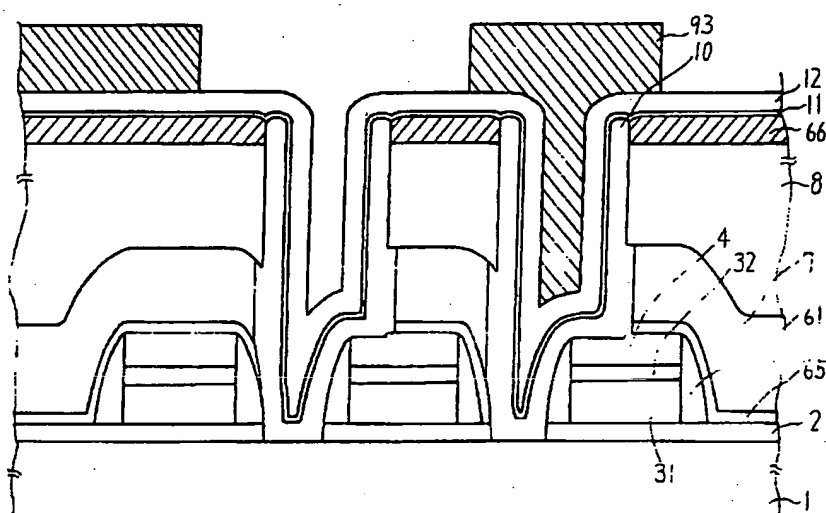
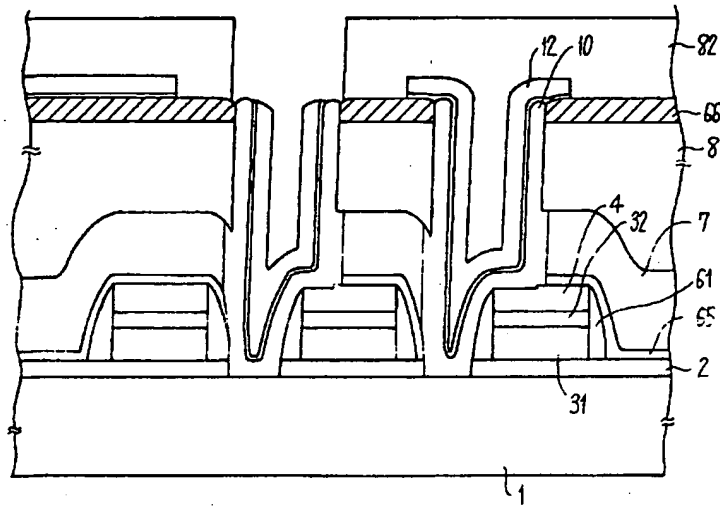
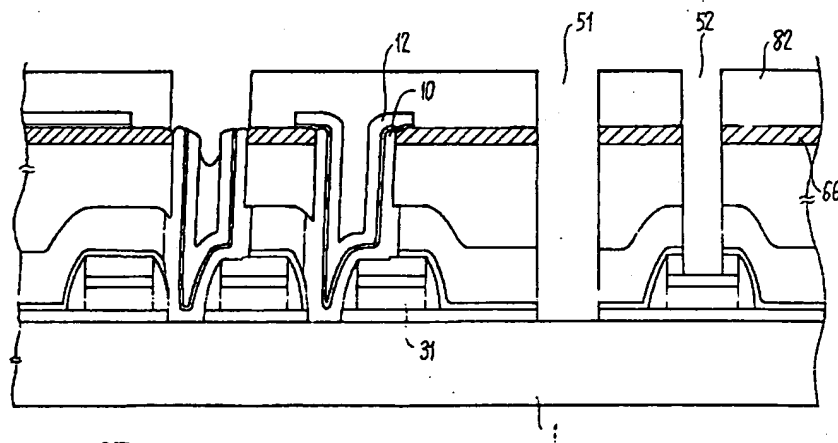


Fig. 1 is a cross-sectional view of a multi-well structure 1. It shows three vertical wells separated by partitions. Each well has a base 31 and a lower section 65. The wells are connected to a common upper space 8. A central vertical pipe 12 is shown. Other labels include 4, 7, 32, 61, and 66.

【図18】



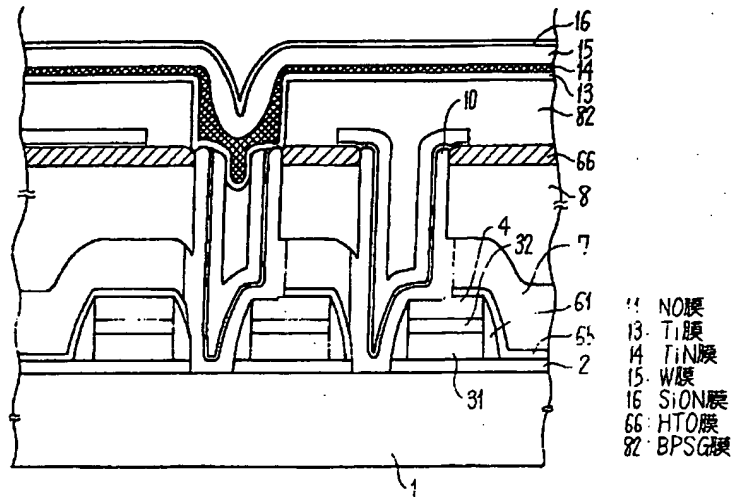
【図19】



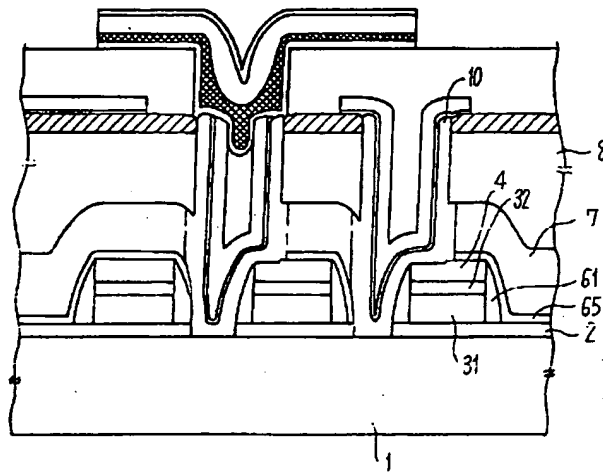
51: 第1のコンタクトホール  
52: 第2のコンタクトホール

82: BPSG膜

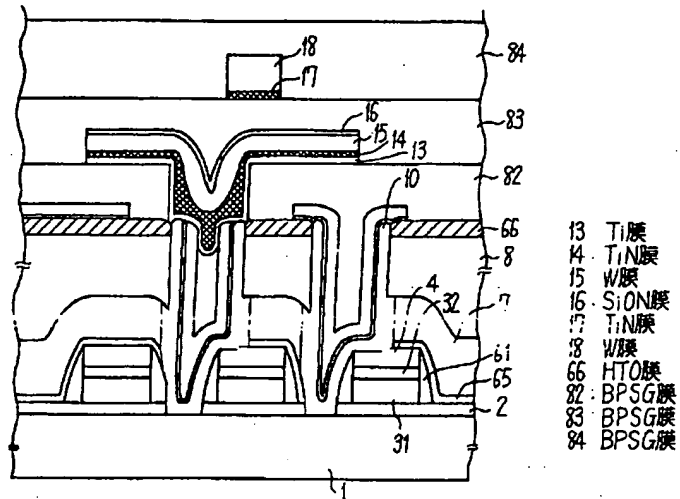
【図20】



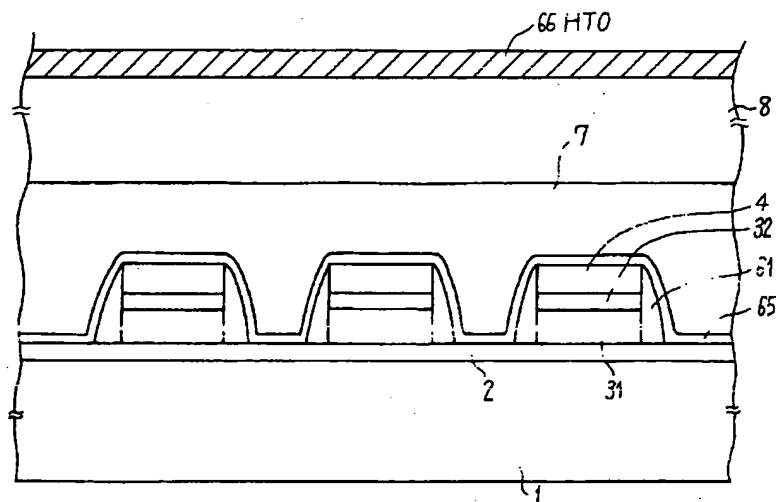
【図21】



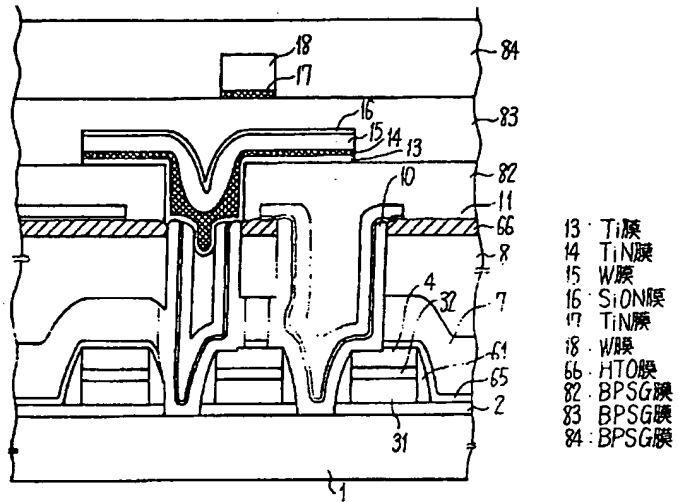
【図22】



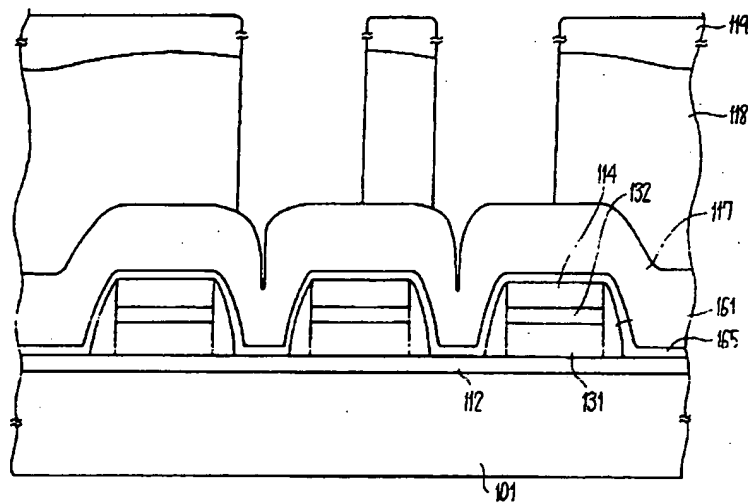
【図23】



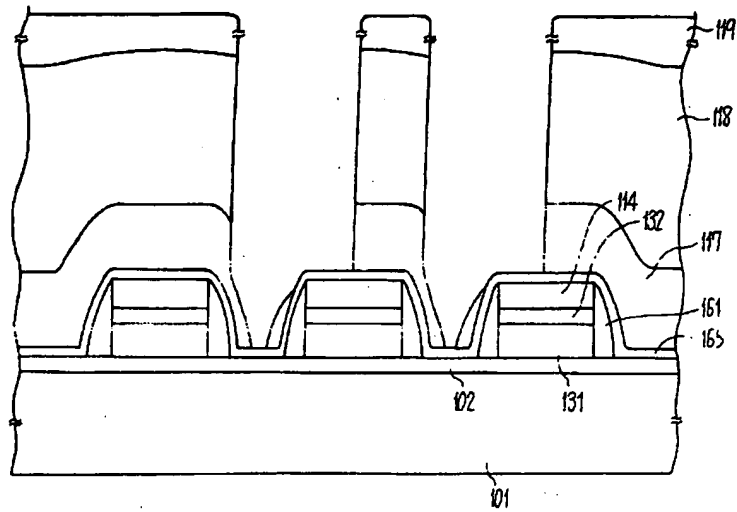
【図24】



【図25】



【図26】



---

フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/8242

識別記号

F I  
H01L 27/10

681B



**JP1998173049A**

**1998-6-26**

**Bibliographic Fields**

**Document Identity**

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平10-173049

(43)【公開日】

平成10年(1998)6月26日

**Public Availability**

(43)【公開日】

平成10年(1998)6月26日

**Technical**

(54)【発明の名称】

半導体装置及びその製造方法

(51)【国際特許分類第6版】

H01L 21/768

21/28 301

21/3065

21/3213

27/108

21/8242

【FI】

H01L 21/90 D

21/28 301 C

21/302 L

21/88 D

27/10 621 Z

681 B

【請求項の数】

16

【出願形態】

OL

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 10- 173049

(43) [Publication Date of Unexamined Application]

1998 (1998) June 26\*

(43) [Publication Date of Unexamined Application]

1998 (1998) June 26\*

(54) [Title of Invention]

**SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURING METHOD**

(51) [International Patent Classification, 6th Edition]

H01L 21/768

21/28 301

21/3065

21/3213

27/108

21/8242

【FI】

H01L 21/90 D

21/28 301 C

21/302 L

21/88 D

27/10 621 Z

681 B

[Number of Claims]

16

[Form of Application]

OL

JP1998173049A

1998-6-26

【全頁数】

[Number of Pages in Document]

24

24

**Filing**

【審査請求】

[Request for Examination]

未請求

Unrequested

(21)【出願番号】

(21) [Application Number]

特願平8-331318

Japan Patent Application Hei 8- 331318

(22)【出願日】

(22) [Application Date]

平成8年(1996)12月11日

1996 (1996) December 11\*

**Parties**

**Applicants**

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000005223

000005223

【氏名又は名称】

[Name]

富士通株式会社

FUJITSU LTD. (DB 69-053-5281)

【住所又は居所】

[Address]

神奈川県川崎市中原区上小田中4丁目1番1号

Kanagawa Prefecture Kawasaki City Nakahara-ku  
Kamikodanaka 4-1-1

**Inventors**

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

三宅 啓太

Miyake \*\*

【住所又は居所】

[Address]

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Kanagawa Prefecture Kawasaki City Nakahara-ku  
Kamikodanaka 4-1-1 Fujitsu Ltd. (DB 69-053-5281) \*

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

松永 大輔

Matsunaga Daisuke

【住所又は居所】

[Address]

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Kanagawa Prefecture Kawasaki City Nakahara-ku  
Kamikodanaka 4-1-1 Fujitsu Ltd. (DB 69-053-5281) \*

**Agents**

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又は名称】

[Name]

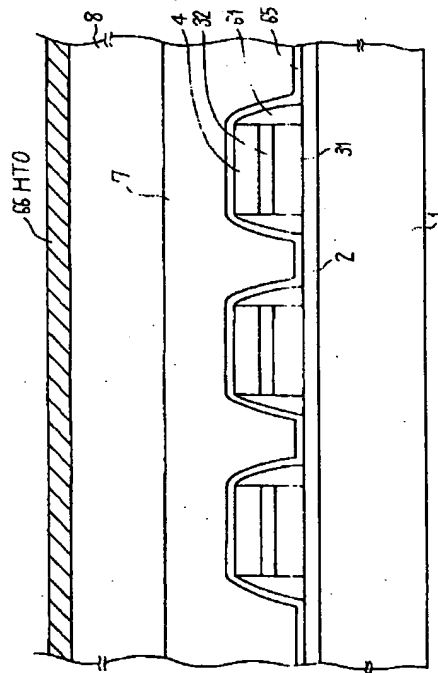
井桁 貞一

Igeta Sadaichi

## Abstract

## (57)【要約】

半導体装置における上下配線層を互いに電氣的に接続するためのコンタクトホールを下地段差にオーバーラップさせて開口する場合に、エッチストップ層表面を平坦化する乃至エッチャントレシピを調製する等の手法によって、下地段差にもかかわらずこの段差近傍に残さを残すことなくコンタクトホールを窓開けする半導体装置の製造技術。



## (57) [Abstract]

overlap designating contact hole in order to connect top and bottom wiring layer in the semiconductor device to electrical mutually as substrate step, when aperture it does, with or other technique which manufactures to etchant recipe which planarization does etching stop layer surface, in spite of substrate step production technology. of semiconductor device which open window does the contact hole leaving residue to this step vicinity without

## Claims

## 【特許請求の範囲】

## 【請求項 1】

基板表面に互いに離間して形成され、側面にシリコン酸化膜からなるサイドウォールを有する第一の段差及び第二の段差と、

前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部がオーバーラップしてかつ該第一、第二の段差に挟まれた領域にて前記基板表面まで貫通する開口と、

前記開口外において前記第一、第二の段差表面

## [Claim(s)]

## [Claim 1]

Alienating mutually in substrate surface, step and second step of first which possesses sidewall which is formed, consists of silicon oxide film in side face and,

Portion of edge overlap doing in upward direction of any at least one of theaforementioned first, second step, and aperture which is penetrated to theaforementioned substrate surface with region which was put between to said first, second step and,

You covering aforementioned first, second step surface in

を覆ってなり、かつ前記開口内壁において前記第一、第二の段差となだらかに表面が接続して該第一、第二の段差の側面とともに前記開口内側面をなすシリコン窒化膜とを有する半導体装置。

【請求項 2】

前記シリコン窒化膜は、少なくとも前記開口幅の 1/2 以上の厚さを有する請求項 1 記載の半導体装置。

【請求項 3】

前記開口内壁から前記開口外まで延在する導電膜を被着形成してなる請求項 1 記載の半導体装置。

【請求項 4】

前記導電膜を蓄積電極とし、該導電膜にキャパシタ絶縁膜および対向電極膜を順に被着形成してなる請求項 3 記載の半導体装置。

【請求項 5】

前記開口を複数有し、第一の開口にて前記導電膜をビット線として用い、かつ第二の開口にて前記導電膜をキャパシタとする請求項 1 記載の半導体装置。

【請求項 6】

前記第一、第二の段差は、各々ゲート電極及び該ゲート電極の上面及び側面を囲むシリコン酸化膜とからなる請求項 1 乃至 5 記載の半導体装置。

【請求項 7】

前記シリコン窒化膜の表面に、ボロ・フォスフォ・シリケート・ガラス膜(BPSG 膜)とフォスフォ・シリケート・ガラス膜(PSG 膜)とボロ・シリケート・ガラス膜(BSG 膜)と TEOS 膜の中から選ばれた絶縁膜が被着形成され、その表面が実質的に平坦である請求項 1 記載の半導体装置。

【請求項 8】

基板表面に、互いに離間して、側面にシリコン酸化膜からなるサイドウォールを有しかつ上面に絶縁膜を有する第一の段差及び第二の段差

outside aforementioned aperture , semiconductor device . which possesses silicon nitride film which becomes, theaforementioned first , second step and surface connecting gently at same time in aforementioned aperture inner wall , with side face of said first , second step forms theaforementioned aperture inside surface

[Claim 2]

As for aforementioned silicon nitride film , semiconductor device . which is stated in the Claim 1 which at least possesses thickness of 1/2 or more of theaforementioned opening width

[Claim 3]

Applying forming conductive film which is extended from aforementioned aperture inner wall to outside aforementioned aperture , semiconductor device . which it states in Claim 1 which becomes

[Claim 4]

semiconductor device . which is stated in Claim 3 where it designates theaforementioned conductive film as storage electrode , it applies to order to said conductive film forms capacitor insulating film and counterelectrode film and becomes

[Claim 5]

semiconductor device . which is stated in Claim 1 where plural it possesses aforementioned aperture , uses aforementioned conductive film with aperture of first at same time designates aforementioned conductive film as capacitor with second aperture as bit line

[Claim 6]

As for aforementioned first , second step , semiconductor device . which is stated in each gate electrode and Claim 1 to 5 which consists of top of said gate electrode and the silicon oxide film which surrounds side face

[Claim 7]

By surface of aforementioned silicon nitride film , boro \* phospho \* silicate \* glass film (BPSG film ) with phospho \* silicate \* glass film (PSG film ) with boro \* silicate \* glass film (BSG film ) with insulating film which is chosen from midst of TEOS film is applied is formed, semiconductor device . which is stated in Claim 1 where surface is essentially flat

[Claim 8]

In substrate surface , alienating mutually, sidewall which consists of the silicon oxide film in side face step of first which possesses insulating film in possessing and top and step.

が形成される工程と、

前記第一、第二の段差上にシリコン窒化膜が形成される工程と、

前記第一の段差と第二の段差とに挟まれた領域において前記基板表面を露出させ、かつその底部側面において前記シリコン窒化膜表面と前記第一、第二の段差表面とがなだらかに接続し、かつ側面の一部が前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部が接触するように、前記シリコン窒化膜表面から異方性エッチングして開口を設ける工程とを有する半導体装置の製造方法。

【請求項 9】

前記シリコン窒化膜形成工程の後に、前記シリコン窒化膜の表面に、ボロ・フォスフォ・シリケート・ガラス膜(BPSG 膜)とフォスフォ・シリケート・ガラス膜(PSG 膜)とボロ・シリケート・ガラス膜(BSG 膜)とTEOS膜のいずれかから選ばれた絶縁膜が、表面が平坦になるように被着形成される請求項 8 記載の半導体装置の製造方法。

【請求項 10】

前記開口の側面が、前記開口底部において前記第一、第二の段差の両方ともに接触することを特徴とする請求項 8 乃至 9 記載の半導体装置の製造方法。

【請求項 11】

前記シリコン窒化膜露出後の前記シリコン窒化膜の異方性エッチングを、準異方性エッチングとし、前記基板表面に対して水平方向にも積極的にエッチングしつつ前記異方性エッチングを行うことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 12】

前記準異方性エッチングは、SF<sub>6</sub>(六フッ化硫黄)+HBr(臭化水素)あるいは SF<sub>6</sub>(六フッ化硫黄)+HBr(臭化水素)+N<sub>2</sub>(窒素)をエッチャントとして行うことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】

前記シリコン窒化膜は、少なくとも前記開口部の 1/2 以上の厚さ被着形成され、前記シリコン

where second step is formed

step, where silicon nitride film is formed on aforementioned first, second step

Exposing aforementioned substrate surface in region which was put between with to step and second step of aforementioned first, way the aforementioned silicon nitride film surface and aforementioned first, second step surface connect gently at same time on bottom end aspect, at same time portion of the side face portion of edge contacts upward direction of any at least one of the aforementioned first, second step, anisotropic etching doing from aforementioned silicon nitride film surface, manufacturing method of semiconductor device which possesses step which provides aperture

[Claim 9]

In order after aforementioned silicon nitride film formation process, in surface of the aforementioned silicon nitride film, boro \* phospho \* silicate \* glass film (BPSG film) with phospho \* silicate \* glass film (PSG film) with boro \* silicate \* glass film (BSG film) with insulating film which is chosen from any of TEOS film, for the surface to become flat, manufacturing method of semiconductor device which is stated in Claim 8 which it is applied is formed

[Claim 10]

side face of aforementioned aperture, in aforementioned aperture bottom both both of aforementioned first, second step manufacturing method of semiconductor device which is stated in Claim 8 to 9 which designates that it contacts as feature

[Claim 11]

While designating anisotropic etching of aforementioned silicon nitride film after description above silicon nitride film exposing, as quasi- anisotropic etching, etching doing positively to also horizontal direction vis-a-vis aforementioned substrate surface, the manufacturing method of semiconductor device which it states in Claim 8 which designates that it does aforementioned anisotropic etching as feature

[Claim 12]

As for aforementioned quasi- anisotropic etching, SF<sub>6</sub> (sulfur hexafluoride) + HBr (hydrogen bromide) or the SF<sub>6</sub> (sulfur hexafluoride) + HBr (hydrogen bromide) + N<sub>2</sub> manufacturing method of semiconductor device which is stated in Claim 11 which designates that it does (nitrogen) as etchant as feature

[Claim 13]

While aforementioned silicon nitride film at least thickness being applied being formed of 1/2 or more of aforementioned

窒化膜に施すエッチングを準異方性エッチングとして前記基板表面に対して水平方向にも積極的にエッチングしつつ前記異方性エッチングを行うか、あるいは、前記シリコン窒化膜の少なくとも一部の表面が CMP(化学機械的研磨)法にて研磨されることを特徴とする請求項 8 記載の半導体装置の製造方法。

#### 【請求項 14】

前記開口形成工程を、前記絶縁膜を異方性エッチングして前記窒化膜が露出するまで  $C_4F_8+CO+Ar$  をエッチャントとして用い、かつ前記窒化膜が露出した後前記第一、第二の段差が露出するまで  $CHF_3+O_2$  をエッチャントとして用いた異方性エッチングにて行うことを特徴とする請求項 9 記載の半導体装置の製造方法。

#### 【請求項 15】

前記第一、第二の段差が露出した後、六フッ化硫黄( $SF_6$ )と臭化水素( $HBr$ )とを互いの流量比で  $7\% < (\text{臭化水素}(HBr) \text{の流量}) : (\text{六フッ化硫黄}(SF_6) \text{と臭化水素}(HBr) \text{との総流量}) < 20\%$  として含んでなるエッチャントを用い、残余の前記窒化膜を異方性エッチングし、前記基板表面を露出させる工程を有する請求項 8 記載の半導体装置の製造方法。

#### 【請求項 16】

ガス流量全体の 90% 以下の臭化水素( $HBr$ )ガスと、10% 以上の六フッ化硫黄( $SF_6$ )または三フッ化窒素( $NF_3$ )または四フッ化炭素( $CF_4$ )を含む混合ガスを用い、準異方性エッチングすることとを特徴とする請求項 11 記載のエッチング方法。

### Specification

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、集積回路(IC,LSI)などの半導体装置の製造方法に関し、さらに詳しくは、電極引き出し用の窓の形成技術の改良に関する。

##### 【0002】

#### 【従来の技術】

opening, etching doing positively to also horizontal direction vis-a-vis aforementioned substrate surface with etching which is administered to aforementioned silicon nitride film as the quasi- anisotropic etching, it does aforementioned anisotropic etching or, or, manufacturing method . of semiconductor device which is stated in Claim 8 which designates that at least surface of portion of aforementioned silicon nitride film is ground with CMP (chemomechanical polishing ) method as feature

#### [Claim 14]

Aforementioned aperture formation process, anisotropic etching doing aforementioned insulating film, until aforementioned nitrided film exposes, it uses  $C_4F_8+CO+Ar$  as etchant backward description first, second step which at same time until the aforementioned nitrided film exposes, manufacturing method . of semiconductor device which is stated in Claim 9 which designates that it does with anisotropic etching which uses  $CHF_3+O_2$  as etchant as feature

#### [Claim 15]

After aforementioned first, second step exposes, manufacturing method . of semiconductor device which is stated in Claim 8 which possesses step which anisotropic etching does aforementioned nitrided film of remainder with mutual flow ratio sulfur hexafluoride ( $SF_6$ ) with hydrogen bromide ( $HBr$ ) making use of etchant which becomes  $7\% < (\text{flow of hydrogen bromide}(HBr)) : (\text{as (sulfur hexafluoride}(SF_6) \text{ with hydrogen bromide}(HBr) \text{ with total flow)}) < 20\%$  including, exposes aforementioned substrate surface

#### [Claim 16]

hydrogen bromide ( $HBr$ ) gas of 90% or less of gas flow entirety and sulfur hexafluoride of 10% or more ( $SF_6$ ) or nitrogen trifluoride ( $NF_3$ ) or making use of mixed gas which includes the carbon tetrafluoride ( $CF_4$ ), quasi- anisotropic etching etching method . which is stated in Claim 11 which designates thing which is done as feature

#### [Description of the Invention]

##### [0001]

#### [Technological Field of Invention]

this invention regards manufacturing method of integrated circuit (IC, LSI) or other semiconductor device, furthermore details regard improvement of forming technology of window for electrode drawer.

##### [0002]

#### [Prior Art]

集積回路(IC,LSI)などの半導体装置では、通常、半導体基板表面に選択的に不純物を導入して能動領域を形成し、この能動領域と他の能動領域を接続するためには、この能動領域上を覆う絶縁膜を選択的に異方性エッチングして窓を設け、窓底部に露出した能動領域と電氣的にコンタクトする電極を、窓内に埋め込んで行っている。

【0003】

周知のとおり DRAM 等の半導体装置は、近年非常に微細化が進んだ結果、ゲート電極(DRAM においてはワード線)等の下地配線層間隔のごくわずかの隙間で半導体基板面を露出させるようにして、この露出面にて上層配線層とコンタクトすべくコンタクトホールを設けなければならない。

しかし、コンタクトホールをフォトリソグラフィ手法で窓開けするのにも技術的限界が見えてきたため、ホール径そのものを前記ごくわずかの隙間に合わせて小さくすることも、ホールをわずかの隙間に位置合わせして形成することも難しくなってきた。

【0004】

そこで、電極を埋め込むべきコンタクトホールを半ば他の下層導電層とオーバーラップさせてでも形成せざるを得ず、近年では、むしろ積極的に下層導電層と窓とを自己整合的にオーバーラップさせて構成した技術の確立が求められている。

以下では、図 25、図 26 を用いて、より詳しく従来のコンタクトホール開口工程を説明する。

図 25 参照。

【0005】

図 25 は、従来技術を説明する装置断面図である。

図中、101 はシリコンウエハ、102 はシリコン酸化膜、131 はポリシリコン膜、132 はタングステンシリサイド膜であり、これら 131 及び 132 は所謂ポリサイド膜としてゲート電極(ワード線)をなす。

114 は高温酸化膜(HTO 膜)、161 はサイドウォール(HTO 膜)、165 は高温酸化膜(HTO 膜)、117 はエッチングストップ層であり、コンタクトホール開口時のエッチングストップを担うことを条件として材質が選ばれた。

118 は層間絶縁膜、119 はレジストパターンであ

With integrated circuit (IC , LSI ) or other semiconductor device , usually, introducing selectively impurity into the semiconductor substrate surface , it forms active region , in order to connect this active region and other active region , selectively anisotropic etching doing insulating film which covers on this active region , it provides window , imbedding electrode which contact is done, to active region and electrical which are exposed in window bottom inside the window , it does.

【0003】

Widely known sort DRAM or other semiconductor device in order that top layer wiring layer and contact it does with this exposed surface , to expose semiconductor substrate aspect with gap of of extremely little of result and gate electrode (Regarding DRAM word line ) or other substrate wiring layer spacing where recently narrowing advances very, must provide contact hole .

But, because contact hole with photolithography technique technically limit is visible even in order open window to do, in combination with hole diameter itself to the gap of aforementioned extremely little, making small, positioning designating hole as gap of little, also it became difficult to form.

【0004】

Then, middle other bottom layer conductive layer and even with if, overlap doing the contact hole which should imbed electrode , it does not form, it does not become, recently, rather positively overlap designating bottom layer conductive layer and window as self-aligning , establishment of technology which configuration it does is sought.

At below, conventional contact hole aperture step is explained in detail making use of Figure 25 , Figure 26 .

Figure 25 reference.

【0005】

Figure 25 is device sectional view which explains Prior Art .

As for in the diagram , 101 as for silicon wafer , 102 as for silicon oxide film , 131 as for polysilicon film , 132 with tungsten silicide film , these as for 131 and 132 gate electrode (word line ) is formed as the generally known poly side film .

As for 114 high temperature oxidized film (HTO film ) , as for 161 sidewall (HTO film ) , as for 165 high temperature oxidized film (HTO film ) , as for 117 with etching stop layer , material was chosen with fact that etching stopper at time of contact hole aperture is borne as condition .

As for 118 as for interlayer insulating film , 119 it is a resist

る。

【0006】

図示した状態は、既にレジストパターン 119 をマスクとして RIE(リアクティブ・イオン・エッチング)法によって層間絶縁膜 118 がエッチングされている。

下地のエッチングストップ層 117 がエッチングされずに露出されている様子である。

ところで、図 25 を続いて参照すると、このような自己整合的なコンタクトに供するホールを上手に形成するためには、ポリシリコン膜 131 とタングステンシリサイド膜 132 からなるゲート電極が造る下地段差に注意してエッチング窓開けを行わねばならない。

実際、エッチング窓開け工程では、途中まで層間絶縁膜 118 をエッチングし、エッチングストップ層 117 が表出したら一旦エッチングを止め、エッチャントを変更してより慎重にエッチングを進めてゆく。

かかる従来技術においては、層間絶縁膜 118 表面をリフロー加熱で平坦化したい要望から層間絶縁膜 118 の材料としてシリコン酸化膜系の BPSG 膜等が選ばれるため、エッチング選択比を十分とる必要上エッチングストップ層 117 にシリコン窒化膜を選んで用いている。

【0007】

このような自己整合的に配線コンタクトを行なうべく設けられるコンタクトホールを上手に形成するためには、ポリシリコン膜 131 とタングステンシリサイド膜 132 とからなるゲート電極が作る下地段差に注意してエッチング窓開けを行なわなければならない。

実際、エッチング窓開け工程では、途中まで層間絶縁膜 118 をエッチングし、エッチングストップ層 117 が表面に露出したら一旦エッチングを停止し、エッチャントを変更してより慎重にエッチングを進めてゆく。

特に注意が必要なところは、十分に埋め込まれなかったシリコン窒化膜の凸部間におけるスリット状の溝の部分である。

この凸部間におけるスリット状の溝の深さに対しその間口の幅が狭かった(凸部分のアスペクト比が高い)場合にいっそう深刻であり、エッチング時のイオンの入射が困難になる。

その結果、スリット状の溝の中に入り込んだ層間絶縁膜が除去できずに残ってしまうといった

pattern .

【0006】

As for state which it illustrates, interlayer insulating film 118 etching is done with RIE (reactive \* ion \* etching ) method already with resist pattern 119 as mask .

etching stop layer 117 of substrate do etching , being exposed, they are circumstances which are.

When by way, Figure 25 you refer to continuing, in order self-aligning a this way to form hole which is offered to contact skillfully, paying attention to substrate step which gate electrode which consists of polysilicon film 131 and tungsten silicide film 132 makes, you must do etching open window .

Really, when with etching open window step , interlayer insulating film 118 etching is done to middle and etching stop layer 117 expresses, etching is stopped once, etchant is modified compared to and etching is advanced prudently.

Regarding this Prior Art , because BPSG film etc of silicon oxide film type is chosen with reflow heating interlayer insulating film 118 surface as material of interlayer insulating film 118 from demand which planarization you want to do, choosing silicon nitride film in etching stop layer 117 with respect to necessity, fully to take selected etching ratio it has used.

【0007】

In order that metallization contact is done in self-aligning a this way in order to form contact hole which is provided skillfully, paying attention to the substrate step which gate electrode which consists of polysilicon film 131 and tungsten silicide film 132 makes, you must do etching open window .

Really, when with etching open window step , interlayer insulating film 118 etching is done to middle and etching stop layer 117 exposes in surface , etching is stopped once, the etchant is modified compared to and etching is advanced prudently.

Especially, as for place where note is necessary, it is a portion of slot of slit in between projection of silicon nitride film which was not imbedded to fully .

In case of (aspect ratio of raised portion is high .) where width of opening is narrow vis-a-vis the depth of slot of slit in between this projection being more serious, incidence of ion at time of etching becomes difficult.

As a result, interlayer insulating film which enters in slot of slit without removing problem that happens, remains.



問題が起こる。

【0008】

ここで、シリコン窒化膜からなるエッチングストップ層 117 は、慎重にエッチングされてゆくが、リアクティブ・イオン・エッチングで異方性をもってエッチングされるため前出のサイドウォール側面に残さなくなってエッチングされずに残ってしまう。

無理に除去しようとして、エッチャントレシピやエッチング条件を変更すると、でき上がり形状が歪んでしまう恐れがあり、ひいては半導体装置の歩留りを下げる結果を招いてしまう。

詳しくは、高温酸化膜 114 が膜減りしてゲート電極であるポリサイド膜が露出する恐れと、シリコン酸化膜 112 がエッチングされてシリコン基板 101 に窪みがでける問題がある。

また、上記シリコン窒化膜の残さが開口した窓の底部に残ってしまう問題は、後にこの窓の中に配線層を被着形成した際に、完全な埋め込み乃至窓側面への均一な厚さの被着形成が行えないという問題を引き起こす。

図 26 参照。

【0009】

図中、前出の図 25 と同じ番号が振られた部分は、図 25 と同じ材質である。

同図は、図 25 で説明したコンタクトホール開口のための RIE(リアクティブ・イオン・エッチング)をエッチングストップ層 117 に対しても施した後の様子を示すものであるが、エッチングストップ層 117 に対して用いられるエッチングの横方向への寄与が層間絶縁膜 118 に対しては小さいことから、エッチングストップ層 117 において横方向へエッチングシフトしてしまう。

こうして、図示の如き歪な側面を有するホールは、その後に埋め込まれる導電層のカバレッジ(被覆形状)を悪化させる阻害要因として見逃せなくなってきた。

すなわち、ホール開口時におけるエッチングレート差に起因してホール側面に凹凸面が生じた場合には、後でホール内に埋め込まれる導電層は部分的に薄くしか形成されなかったり、ホール最下面においてシリコンウエハ表面と接するコンタクト領域を所望面積分確保できなくなってコンタクト部の電気抵抗が上昇してしまい装置の性能を下げる乃至歩留りを悪化させてしまう

slit without removing problem that happens, remains.

【0008】

Here, etching stop layer 117 which consists of silicon nitride film is done etching prudently, but in order etching for you to do with reactive \* ion \* etching with anisotropy, becoming residue in depicted above sidewall side face etching do, remaining, it finishes.

Trying to remove unreasonably, when it modifies etchant recipe and the etching condition, it is completed and shape is strain with to be a possibility of putting away, result which lowers yield rate of the consequently semiconductor device is caused.

As for details, high temperature oxidized film 114 doing, film reduction fear and silicon oxide film 112 which poly side film which is a gate electrode exposes being done, etching there is a problem which can designate cavity as silicon substrate 101.

In addition, residue of above-mentioned silicon nitride film as for problem which remains to bottom of window which aperture is done, causes problem that occasion where afterwards it applied formed wiring layer in this window, cannot be done application formation of uniform thickness to complete pad to window side face.

Figure 26 reference.

【0009】

As in the diagram, depicted above Figure 25 portion where same number was shaken is same material as Figure 25.

same Figure after vis-a-vis etching stop layer 117 administering RIE (reactive \* ion \* etching) for the contact hole aperture which is explained with Figure 25, is something which shows circumstances, but contribution to transverse direction of etching which is used vis-a-vis etching stop layer 117 vis-a-vis interlayer insulating film 118 etching shift it does to the transverse direction from small thing, in etching stop layer 117.

In this way, hole which possesses deformed side face as in illustration stopped being able to overlook coverage (sheath shape) of conductive layer which after that is imbedded as inhibiting factor which deteriorates.

Originating in etching rate difference at time of namely, hole aperture, when the uneven surface occurs in hole side face, partially thin only it forms conductive layer which afterwards is imbedded inside hole, Desire surface area portion it cannot guarantee contact region which touches with the silicon wafer surface and in hole bottommost surface becomes and electrical resistance of contact section rises and to yield rate which lowers performance of device develops in problem that

という問題に発展する。

【0010】

本発明のように、シリコン窒化膜をシリコン酸化膜エッチングのストップとするセルフアラインコンタクト形成法では、必ずしもセルフアラインコンタクトを必要とせず、通常のコンタクト形成が可能な領域にとってシリコン窒化膜は却って加工を困難にする。

例えば、シリコン酸化膜とシリコン窒化膜とを同一の条件ではエッチングできず、加工制御を複雑にするので、エッチング精度ひいては製造された装置の信頼性を損なう恐れがある。

【0011】

【発明が解決しようとする課題】

以上明らかなように、従来の自己整合的電極窓形成技術によれば、異方性エッチング窓開け工程では下層導電層の表面段差があらわれて後、下層導電層側面に被エッチング層たるエッチング・ストップ層がサイドウォールとして残ってしまう問題を生じる一方、層間絶縁膜がエッチングストップ層のスリット部分に残りがちで開口を正常に形成できないという問題も生じる。

【0012】

更に、本技術では酸化膜エッチングのストップであるシリコン窒化膜を必要とするが、これがセルフ・アライン・コンタクトを必要としないコンタクト・ホールにとっては形成精度と信頼性を低下させる原因となる。

本発明は、以上の従来技術における 3 つの問題点をいずれも解決することを課題としてなされたものである。

【0013】

【課題を解決するための手段】

前記課題解決のために、本発明では、例えば以下の構成を手段とする。

第一の発明では、以下の構成を手段とする。

基板表面に互いに離間して形成され、側面にシリコン酸化膜からなるサイドウォールを有する第一の段差及び第二の段差と、前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部がオーバーラップしてかつ該第一、第二の段差に挟まれた領域にて前記基板表面を露出さ

deteriorates.

【0010】

Like this invention, with self-aligning contact forming method which designates silicon nitride film as stopper of silicon oxide film etching, always self-aligning contact it does not need, silicon nitride film makes processing rather difficult for region whose conventional contact formation is possible.

for example silicon oxide film and silicon nitride film with same condition etching not to be possible, because control of processing is made complicated, etching precision consequently there is a possibility of impairing reliability of device which is produced.

【0011】

[Problems to be Solved by the Invention]

In order above to be clear, according to conventional self-aligning electrode window forming technology, with anisotropic etching open window step the surface step of bottom layer conductive layer appearing, although after, layer being etched barrel etching \* stop layer problem which remains as sidewall is caused on bottom layer conducting layer side aspect the interlayer insulating film being tend to remain in slit part of etching stop layer, also the problem that occurs cannot form aperture normally.

【0012】

Furthermore, with this technology silicon nitride film which is a stopper of oxidized film etching is needed, but formation precision and reliability it becomes cause which decreases for contact \* hole where this does not need self \* [arain] \* contact.

As for this invention, it is something which it is possible which solving 3 problem in Prior Art above as problem.

【0013】

[Means to Solve the Problems]

Because of aforementioned problem solving, with this invention, configuration below for example is designated as means.

With invention of first, configuration below is designated as the means.

Alienating mutually in substrate surface, it is formed, portion of edge overlap doing in upward direction of any at least one of step and second step and aforementioned first, second step of first which possesses sidewall which consists of silicon oxide film in side face and being covered the aforementioned first, second step surface in other than inside aperture and

せる開口と、前記開口内以外において前記第一、第二の段差表面を覆ってなり、かつ前記開口内壁において前記第一、第二の段差となだらかに表面が接続して該第一、第二の段差の側面とともに前記開口内側面をなすシリコン窒化膜とを有する半導体装置。

## 【0014】

また、第二の発明では、以下の構成を手段とする。

基板表面に、互いに離間して、側面にシリコン酸化膜からなるサイドウォールを有しかつ上面に絶縁膜を有する第一の段差及び第二の段差が形成される工程と、前記第一、第二の段差上にシリコン窒化膜が形成される工程と、前記第一の段差と第二の段差とに挟まれた領域において前記基板表面を露出させ、かつその底部側面において前記シリコン窒化膜表面と前記第一、第二の段差表面とがなだらかに接続し、かつ側面の一部が前記第一、第二の段差のいずれか少なくとも一方の上方に縁の一部が接触するように、前記シリコン窒化膜表面から異方性エッチングして開口を設ける工程とを有する半導体装置の製造方法。

## 【0015】

さらには、前記シリコン窒化膜露出後の前記シリコン窒化膜の異方性エッチングを、準異方性エッチングとし、前記基板表面に対して水平方向にも積極的にエッチングしつつ前記異方性エッチングを行うこととしてもよく、また、前記シリコン窒化膜は、少なくとも前記開口部の 1/2 以上の厚さ被着形成されることとしてもよい。

## 【0016】

以上の本発明の構成によれば、十分微細化した半導体装置のゲート電極面が造る凹凸にも係わらず、下地酸化膜との選択比を十分とることができ、また軽度には横方向へもエッチングしながらも縦方向の異方性を失うことなくエッチングを進めることができ、凹凸側面にストッパ窒化膜の残さを残すことなく高アスペクト比の開口を形成可能になる。

したがって、下部配線パターンが造る凸部間の狭い領域での半導体材料表面との電気的コンタクトを、窓そのもののサイズを小さくすることな

theaforementioned aperture which expose aforementioned substrate surface with the region which was put between to said first , second step it becomes, At same time aforementioned first , second step and surface connecting gently in aforementioned aperture inner wall , with side face of said first , second step the semiconductor device . which possesses silicon nitride film which forms aforementioned aperture inside surface

## 【0014】

In addition, with second invention, configuration below is designated as means .

In substrate surface , alienating mutually, exposing aforementioned substrate surface sidewall which consists of silicon oxide film in side face in region which was put between with to step and second step of step. aforementioned first where silicon nitride film is formed to step of the first which possesses insulating film in possessing and top and on step. aforementioned first , second step where second step is formed, At same time in order aforementioned silicon nitride film surface and theaforementioned first , second step surface connect gently on bottom end aspect, at sametime for portion of side face portion of edge to contact upward direction of any at least one of aforementioned first , second step , anisotropic etching doing from theaforementioned silicon nitride film surface , manufacturing method . of semiconductor device which possesses step which provides aperture

## 【0015】

Furthermore, while designating anisotropic etching of aforementioned silicon nitride film after description above, silicon nitride film exposing, as quasi- anisotropic etching , etching doing positively to also horizontal direction vis-a-vis aforementioned substrate surface , it is possible as thing which does aforementioned anisotropic etching in addition, aforementioned silicon nitride film is possible as thing which atleast thickness it is applied is formed of 1/2 or more of aforementioned opening .

## 【0016】

According to configuration of this invention above, without relating to either relief which gate electrode aspect of semiconductor device which fully narrowing is donemakes, although fully being able take selectivity of substrate oxidized film , in addition in light degree to also transverse direction etching doing to advance the etching , without losing anisotropy of machine direction it to be possible aperture of large aspect ratio it becomes formable without leaving residue of stopper nitrided film to relief side face .

Therefore, electrical contact of semiconductor material surface with region whose between of the projection which bottom wiring pattern makes is narrow, it is possible, overlap

く下部配線パターンが造る凸部に積極的にオーバーラップさせることができ、微細な領域での電氣的コンタクトを確実に行うことができる。

【0017】

以上、本発明の構成によれば、十分微細化した半導体装置のゲート電極面が造る凹凸形状に係わらず、下地酸化膜との選択比を十分とることができた、軽度には横方向へもエッチングしながら縦方向へのエッチング速度が十分高く、異方性を保つので凹凸側面にストップ窒化膜の残さを残すことなく高アスペクト比の開口を形成可能となる。

したがって、下部配線パターンが造る凸部間の狭い領域での基板表面との電氣的コンタクトを、窓そのもののサイズを小さくすることなく下部配線パターンが造る凸部に積極的にオーバーラップさせることができ、もって微細な領域での電氣的コンタクトを確実に行うことができる。

【0018】

#### 【発明の実施の形態】

それでは、本発明の実施の形態について、以下具体的に説明する。

以下では、図 1~図 23 を使用して説明する。

図 1 参照。

用意した半導体基板、例えば(100)面を有し、 $10 \pm 1.5 \Omega \text{ cm}$  の P 型シリコンウエハ 1 の表面を、薄く 800~850 deg C で加熱下、窒素分圧酸化して、一様な厚さのシリコン酸化膜 2 を形成する。

厚さは 70 Å~100 Å である。

酸化の手段として加熱酸化を選んでいるのは、容易に形成できるからである。

シリコン酸化膜 2 を形成する手段としては熱酸化法が選べる他、CVD(化学気相成長)法を用いての被着形成も可能である。

あるいは、シリコン酸化膜に代えて、他の絶縁膜材料、例えば、シリコン窒化膜(SiN)やシリコンオキシナイトライド(SiON)を用いることもできる。

また、単層の絶縁膜である必要もなく、所謂 NO 膜(窒化膜-酸化膜の二層構造膜)や ONO 膜(酸化膜-窒化膜-酸化膜の三層構造膜)を用いることもできる。

tomake positively projection which bottom wiring pattern makes without making the size of window itself small it is possible to do electrical contact with microscopic region securely.

【0017】

Above, according to configuration of this invention, without relating to the uneven shape which gate electrode aspect of semiconductor device which fully narrowing is donemakes, although fully being able take selectivity of substrate oxidized film, and, in light degree to also transverse direction etching doing, etching velocity to machine direction fully is high, Because anisotropy is maintained, aperture of large aspect ratio it becomes the formable without leaving residue of stopper nitrided film to relief side face.

Therefore, electrical contact of substrate surface with region whose between of the projection which bottom wiring pattern makes is narrow, it is possible, has and the overlap to make positively projection which bottom wiring pattern makes without making size of window itself small it is possible to do the electrical contact with microscopic region securely.

【0018】

#### 【Embodiment of the Invention】

Then, below you explain concretely concerning embodiment of this invention.

At below, using Figure 1 ~Figure 23, you explain.

Figure 1 reference.

It possesses semiconductor substrate, for example (100) plane which you prepare,  $10 \pm 1.5 \Omega \text{-cm}$  under heating, nitrogen partial pressure oxidation does surface of p-type silicon wafer 1, thin with 800 - 850 deg C, forms silicon oxide film 2 of even thickness.

thickness is 70 Å - 100 Å.

Because it can form fact that thermal oxidation is chosen as means of oxidation, easily.

Also application formation besides it can choose thermal oxidation method as the means which forms silicon oxide film 2, making use of CVD (chemical vapor deposition) method is possible.

Or, replacing to silicon oxide film, other insulating film material, for example silicon nitride film (SiN) and it is possible also to use silicon oxy nitride (SiON).

In addition, generally known NO film (bilayer structure film of nitrided film -oxidized film) and it is possible also thenecessity to be a insulating film of monolayer without, to use ONO film (trilayer structure film of oxidized film

## 【0019】

一方、(100)面を有するシリコンウエハを半導体基板として用いたが、これに代えて、例えばCVD(化学気相成長)法により堆積した多結晶シリコン層、あるいはさらに加熱溶融等によって単結晶化したシリコン層であってもよい。

シリコンウエハ1表面のシリコン酸化膜2に重ねて、ポリシリコン膜31を一樣に500Å程度CVD(化学気相成長)法により被着形成する。

ポリシリコン膜31に重ねてさらにタングステンシリサイド膜32を一樣に1500Å程度CVD(化学気相成長法)により被着形成する。

続いて、タングステンシリサイド膜32表面にシリコン酸化膜4を形成する。

ここでは、シリコン酸化膜4として、厚さ800Å程度(700Å~900Å)の高温酸化膜(HTO膜)を採用する。

ゲート電極の肩において膜が局所的に薄くなり、耐圧が低くなってしまうという問題を解消するため、特に耐圧が高く確保できる高温酸化膜(HTO膜)が採用されたのである。

高温酸化膜(HTO膜)を被着形成する際の温度は約800deg Cである。

## 【0020】

以上で、シリコンウエハ1表面から順に、シリコン酸化膜2、ポリシリコン膜31、タングステンシリサイド膜32、高温酸化膜(HTO膜)4が、いずれも一樣な厚さに形成される。

なお、ここでは、シリコン酸化膜2の表面に形成されるゲート電極を、ポリシリコン膜31とタングステンシリサイド膜32との積層膜(ポリサイドと称される)として形成したが、その理由は、配線抵抗を低くできる点で有利だからである。

もし、配線抵抗を下げるべき必要が深刻でないとか無視できるのであれば、前記積層膜に代えてポリシリコン膜31単層を使用することもできる。

また、ポリシリコン膜31の被着形成当初は、アモルファスシリコン膜として形成することもできる。

この場合には、ソース・ドレイン形成時の不純物導入時にチャネリングによる不純物つき抜け防止の点で有利である。

-nitrided film -oxidized film ) .

## 【0019】

On one hand, it used silicon wafer which possesses (100) plane as the semiconductor substrate, but replacing to this, polycrystalline silicon layer, which it accumulates with for example CVD (chemical vapor deposition) method or furthermore it is good to single crystal even with the silicon layer which with such as heating and melting is converted.

Repeating to silicon oxide film 2 of silicon wafer 1 surface, evenly it applies forms polysilicon film 31 with 500Å extent CVD (chemical vapor deposition) method.

Repeating to polysilicon film 31, furthermore evenly it applies forms tungsten silicide film 32 with 1500 Å extent CVD (chemical vapor deposition method).

Consequently, silicon oxide film 4 is formed in tungsten silicide film 32 surface.

Here, high temperature oxidized film (HTO film) of thickness 800Å extent (700Å - 900Å) is adopted as silicon oxide film 4.

film becomes thin in localized in shoulder of gate electrode, in order to cancel problem that, pressure resistance becomes low, high temperature oxidized film (HTO film) which can guarantee especially pressure resistance highly was adopted.

When applying forming high temperature oxidized film (HTO film) temperature is approximately 800 deg C.

## 【0020】

At above, from silicon wafer 1 surface silicon oxide film 2, polysilicon film 31, tungsten silicide film 32, high temperature oxidized film (HTO film) 4, in each case is formed to the even thickness to order.

Furthermore, here, it formed gate electrode which is formed to surface of silicon oxide film 2, laminated film of polysilicon film 31 and tungsten silicide film 32 (poly side it is named) as, but as for thereason, therefore in point which can make metallization resistance low the advantage is.

Unless necessity to be supposed lower metallization resistance is serious if you can ignore, replacing to aforementioned laminated film, it can also use the polysilicon film 31 monolayer.

In addition, application formation start of polysilicon film 31 can also form as amorphous silicon film.

In case of this, at time of impurity introduction at time of source \* drain formation with channeling it is profitable in point of the impurity being attached escape prevention.

形成されたアモルファスシリコン膜は、導電性を付与すべく不純物を拡散するための加熱工程で結晶状態も変化して、ポリシリコン膜となる。

#### 【0021】

この高温酸化膜(HTO膜)4の表面に厚さ7600Åのポジ型フォトリソレジストを塗布形成し、通常のフォトリソグラフィ工程を経て、レジストパターン9が形成される。

このレジストパターン9をマスクとして、高温酸化膜(HTO膜)4、タングステンシリサイド膜32、ポリシリコン膜31を順にドライエッチングする。

先ず高温酸化膜(HTO膜)4を、CF<sub>4</sub>+Ar(流量比25sccm:60sccm)をエッチャントとするリアクティブ・イオン・エッチング(RIE)にて選択的にエッチングする。

次いで、タングステンシリサイド膜32及びポリシリコン膜31を、Cl<sub>2</sub>+O<sub>2</sub>(流量比80sccm:20sccm)をエッチャントとする高密度プラズマエッチングにて選択的にエッチングする。

以上のエッチングが終了した後、マスクとして用いたレジストパターンを、O<sub>2</sub>をガスとして用いたマイクロ波プラズマ処理によりアッシング除去する。

図2参照。

#### 【0022】

以上で、シリコン酸化膜2上には、ポリシリコン膜31/タングステンシリサイド膜32/高温酸化膜(HTO膜)4の三層構造からなる凸部が形成されることとなる。

図3参照。

この凸部表面及び露出したシリコン酸化膜2表面に、一様に厚さ900Å程度(800Å~1000Å)の高温酸化膜(HTO膜)6を被着形成する。

この高温酸化膜(HTO膜)6の形成時の温度は、約800deg Cである。

図4参照。

#### 【0023】

続いて、高温酸化膜(HTO膜)6を全面ドライエッチバックして、凸部側面にだけ選択的にサイドウォール膜61として残す。

このエッチバックは、CF<sub>4</sub>+CHF<sub>3</sub>+Ar(流量比33sccm:20sccm:208sccm)のリアクティブ・イオン・エッチング(RIE)にて行い、約770Åをエッチ

amorphous silicon film which was formed, in order that electrical conductivity is granted, also crystalline state changing with heating step in order scattering to do impurity, becomes polysilicon film.

#### 【0021】

this high temperature oxidized film (HTO film) positive type photoresist of thickness 7600\* coating formation is done in surface of 4, by conventional photolithography process passes, resist pattern 9 is formed.

With this resist pattern 9 as mask, high temperature oxidized film (HTO film) 4, tungsten silicide film 32, polysilicon film 31 dry etching is designated as order.

First high temperature oxidized film (HTO film) 4, selectively etching is done with reactive \* ion \* etching (RIE) which designates CF<sub>4</sub>+Ar (flow ratio 25sccm : 60sccm) as etchant.

Next, tungsten silicide film 32 and polysilicon film 31, selectively etching are done with high density plasma etching which designates Cl<sub>2</sub>+O<sub>2</sub> (flow ratio 80sccm : 20sccm) as etchant.

After etching above ends, ashing it removes as mask the resist pattern which it uses, O<sub>2</sub> as gas with microwave plasma treatment which it uses.

Figure 2 reference.

#### 【0022】

At above, polysilicon film 31 /tungsten silicide film 32/high temperature oxidized film (HTO film) it means with that projection which consists of trilayer structure of 4 is formed on silicon oxide film 2.

Figure 3 reference.

this projection surface and to silicon oxide film 2 surface which is exposed, evenly high temperature oxidized film of the thickness 900\* extent (800\$ - 1000\$) (HTO film) 6 it applies forms.

this high temperature oxidized film (HTO film) temperature when forming 6 is approximately 800 deg C.

Figure 4 reference.

#### 【0023】

Consequently, high temperature oxidized film (HTO film) entire surface dry etchback doing 6, as selectively sidewall film 61 it leaves to just projection side face.

It does this etchback, with reactive \* ion \* etching (RIE) of CF<sub>4</sub>+CHF<sub>3</sub>+Ar (flow ratio 33sccm : 20sccm : 208sccm), etching removes approximately 770\$, it leaves approximately

ング除去し、約 130 Å をサイドウォール膜として残す。

ところで、凸部の頭で下地となる材料もやはり高温酸化膜 (HTO 膜) 4 であり、エッチング終点を検出しにくいという問題が生じる。

そこで、エッチング時間を工夫してエッチング終点を正確に制御することが望ましい。

あるいは、第二絶縁膜 4 として、高温酸化膜 (HTO 膜) 4 に代えてシリコン窒化膜 (SiN 膜) を用いても、前記のエッチング終点を検出しにくいという問題は解消されることとなる。

また、第二絶縁膜 4 にシリコンオキシナイトライド膜 (SiON 膜) を用いれば、第二絶縁膜 4 をゲートパターンニング時の低反射膜として用いる際に、その低反射膜としての特性を制御容易である。

なぜならば、シリコンオキシナイトライド膜 (SiON 膜) は、膜厚、屈折率、吸収係数を必要な数値に合わせて、窒素含有量を変化させることによって容易に制御可能だからである。

#### [0024]

さらに、このサイドウォール膜が側面に形成された凸部表面及び露出したシリコン酸化膜 2 表面に、一様に、薄い高温酸化膜 (HTO 膜) 65 を厚さ約 200 Å 被着形成する。

ここで形成する高温酸化膜 (HTO 膜) 65 は所謂パッド酸化膜であり、シリコン窒化膜除去を  $\text{SF}_6 + \text{HBr}$  をエッチャントとして行う限りは、下地のシリコンとの選択比が低くなってしまい、基板が掘られるという問題が生じるので、パッド酸化膜の被着形成工程は割愛することができない。

図 5 参照。

#### [0025]

続いて、一様に例えば 800 Å の厚さのシリコン窒化膜 7 を化学気相成長 (CVD) 法を用いて被着形成する。

この際、さらに重ねて形成される上層の良好な被覆のためには、一つの凸部と隣接する凸部との間が実質的に埋めこみうる以上の厚さを選んで被着形成することが望ましい。

すなわち、シリコン窒化膜 7 の厚さは、このシリコン窒化膜 7 を形成すべきコンタクト面の幅 (本実施態様においてワード線の作る凸パターンの間) の少なくとも 1/2 以上とすれば、コンタクト部は実質的に完全に埋め込まれることとなってシ

130 Å as sidewall film .

problem that occurs by way, also material which becomes the substrate with head of projection after all high temperature oxidized film (HTO film ) with 4, is difficult to detect etching endpoint .

Then, devising etching time , it is desirable to control etching endpoint accurately.

Or, high temperature oxidized film (HTO film ) replacing to 4 as second insulating film 4, making use of silicon nitride film (SiN film ), problem that is difficult to detect aforementioned etching endpoint , means with to be cancelled.

In addition, if silicon oxy nitride film (SiON film ) is used for second insulating film 4, occasion where it uses second insulating film 4 as low reflectivity film at time of gate patterning , characteristic as low reflectivity film it is control easy.

Because, therefore as for silicon oxy nitride film (SiON film ), film thickness , index of refraction, when adjusting absorption coefficient to required number value, nitrogen content by fact that it changes easily controllable is.

#### [0024]

Furthermore, projection surface where this sidewall film was formed to side face and to silicon oxide film 2 surface which is exposed, evenly, thin high temperature oxidized film (HTO film ) 65 thickness approximately 200 Å it applies forms.

If high temperature oxidized film which is formed here (HTO film ) as for 65 as etchant because with generally known pad oxidized film ,  $\text{SF}_6 + \text{HBr}$  it does, selectivity of the silicon of substrate to become low, problem that causes silicon nitride film removal, substrate is dug, as for application formation process of pad oxidized film it cannot spare.

Figure 5 reference.

#### [0025]

Consequently, evenly it applies forms silicon nitride film 7 of thickness of the for example 800 Å making use of chemical vapor deposition (CVD ) method.

this occasion, furthermore piling up, for satisfactory sheath of top layer which is formed, between of projection which is adjacent with projection of one substantially pad above being possible, choosing thickness , it is desirable to apply to form .

Because thickness of namely, silicon nitride film 7 if width (Between convex pattern which word line is made in this embodiment ) of contact aspect which should form this silicon nitride film 7 it makes 1/2 or more at least, as for the contact section coming to point of with being imbedded

シリコン窒化膜 7 形成後の表面凹凸が緩和されるからである。

【0026】

仮に、このシリコン窒化膜 7 の厚さが凸部間を埋め込むに十分なまででなかったとすると、発明の解決しようとした課題の項で説明した第二の課題が露頭する。

すなわち、十分に埋め込まれなかったシリコン窒化膜 7 は凸部間においてスリット状の溝を生じる。

この凸部間の間口が深さに比較してかなり狭かった(凸部間のアスペクト比が高かった)場合、スリット自体も狭く深くなっていっそう深刻である。

かかる場合に、シリコン窒化膜 7 に重ねて形成される層間絶縁膜が特に CVD(化学気相成長)法で形成されれば、層間絶縁膜材料がスリットの中にまで深く入り込んでしまい、後のコンタクト窓エッチング工程でも除去されずに残ってしまい、続くシリコン窒化膜 7 除去工程ではシリコン窒化膜 7 と他の層(シリコン酸化膜)との選択比を十分取ってエッチングする必要から、スリット中に残った層間絶縁膜がマスクとなりシリコン窒化膜の残さを生じる。

このように、一旦除去されなかったスリット中の層間絶縁膜材料は、後の完全な窓開けに対して良い影響を与えない。

所定の面積で電気的コンタクトを確実に取りづらくなるか、最悪はシリコン基板自体が露出しないう問題が生じる。

これを避ける方法としては、十分な厚さシリコン窒化膜 7 を被着形成しスリット自体を作らないようにすることの他、スリットができても、層間絶縁膜をエッチバックした後に薬液処理を施してスリット中から層間絶縁膜材料を除去するとか、スリットの影響が最小限にできるようにアスペクト比を下げ(間口を十分に広めに取)する方法がある。

図 6 参照。

【0027】

さらに、シリコン窒化膜 7 表面に、ボロ・フォスフォ・シリケート・ガラス膜(BPSG 膜)8 を化学気相成長(CVD)法にて  $1.75 \mu\text{m}$  被着形成する。

被着形成時の条件は、700 deg C 程度、20 分間窒素雰囲気下での加熱である。

続いて、850 deg C、10 分間窒素雰囲気下で加熱してリフローし、BPSG 膜 8 表面をなだらかにす

substantially completely surface relief after silicon nitride film 7 forming is eased.

【0026】

When we assume, that temporarily, thickness of this silicon nitride film 7 imbeds between projection was not to sufficient, second problem which is explained with section of problem which invention it tries to solve is divulged.

silicon nitride film 7 which was not imbedded to namely, fully causes slot of the slit in between projection.

opening between this projection by comparison with depth in case of quite narrow (aspect ratio between projection was high), also slit itself deep becoming narrow, it is more serious.

In this case, repeating to silicon nitride film 7, if interlayer insulating film which is formed is formed with especially CVD (chemical vapor deposition) method, with silicon nitride film 7 removal process where interlayer insulating film material enters to in slit deeply, without being removed remains even with contact window etching step after, continues silicon nitride film 7 and other layer (silicon oxide film) with fully taking selectivity, etching from necessity to do, interlayer insulating film which remains in slit becomes mask and causes the residue of silicon nitride film.

this way, interlayer insulating film material in slit which is not removed once does not produce effect which is good confronting complete open window after.

You take electrical contact securely with specified surface area and \* and others \* become or problem that causes worst silicon substrate itself does not expose.

It applies forms sufficient thickness silicon nitride film 7 as method which avoids this, other than thing which it tries not to make slit itself, slit being possible, etchback after doing interlayer insulating film, administering reagent solution treatment, it removes interlayer insulating film material from in slit when, in order to be able to designate influence of slit as minimum, it lowers aspect ratio and (opening in fully spreading taking) \* there is a method.

Figure 6 reference.

【0027】

Furthermore, to silicon nitride film 7 surface, boro \* phospho \* silicate \* glass film (BPSG film) 8  $1.75 \mu\text{m}$  it applies forms with chemical vapor deposition (CVD) method.

condition at time of application formation is heating under 700 deg C extent, 20 min nitrogen atmosphere.

Consequently, heating under 850 deg C, 10 min nitrogen atmosphere, reflow it does, makes the BPSG film 8 surface



る。

層間絶縁膜材料として BPSG を選んだのは、比較的低い温度の加熱でも容易にリフロー可能だからである。

理想的には、この BPSG 膜 8 表面が略平坦になるまでリフロー加熱するのがよいが、あまりに熱履歴が長くても、図示しない能動領域内の導電性不純物が不要に拡散してしまい、所望の不純物プロファイルが得られないとか、他の層に良からぬ熱ストレスを与えるという問題が生じるので、両者の兼ね合いで加熱時間を決定すべきである。

BPSG 膜 8 を層間絶縁膜として選んだ理由は、BPSG 膜 8 は融点と比較的低い温度であるため、低い温度での加熱で十分なリフローが可能になるという点で、熱ストレスを低く抑えつつ層間絶縁膜を平坦にできる効果が大きいからである。

しかしながら、熱ストレスが多少大きくても構わないプロセスであれば、フォスフォ・シリケート・ガラス膜 (PSG 膜) やボロ・シリケート・ガラス膜 (BSG 膜) を選んで使用してもよい。

さらに、BPSG 膜上に高温酸化膜 (HTO 膜) 66 を形成する。

これは深いコンタクトホールの場合にエッチング時間が長くなるので、レジストの側面が後退する。

そのレジスト形状の影響を受けてコンタクトホールの間口が広がってしまうことを抑制するため設けてある。

もちろん、浅いホールの場合には、その必要はない場合もあり、本発明の効果に基本的な影響を与える要件ではない。

高温酸化膜 (HTO 膜) 66 は、例えば成長温度 800 deg C にて形成する。

下地段差の影響を受けて表面に段差を作りやすい場合、高温酸化膜 (HTO 膜) 66 は必ず CMP (化学機械的研磨) 法にて研磨して表面をいっそう平坦にしてもよい。

図 23 参照。

【0028】

上記図 6 に対応する工程で、後のエッチングストップとなるシリコン窒化膜 7 に下地の凹部形状を反映しない形に被着形成可能になれば、下地

gentle.

Therefore as for choosing BPSG as interlayer insulating film material, even with heating relatively low temperature easily reflow possibility is.

Until this BPSG film 8 surface becomes abbreviation flat, reflow heating is good, in ideal, but thermal history being long excessively, electrically conductive impurity inside unshown active region scattering to make unnecessary, desired impurity profile is acquired unless, gives thermal stress which good is not driven to other layer because problem that occurs, It is good to decide heating time with redundancy of both.

As for reason which chooses BPSG film 8 as interlayer insulating film, as for the BPSG film 8 because it is a temperature where melting point is low relatively, while in point that, holding down thermal stress low, with heating with the low temperature sufficient reflow becomes possible, because effect which can designate interlayer insulating film as flat is large.

But, if thermal stress is process some may be large, phospho \* silicate \* glass film (PSG film) and choosing boro \* silicate \* glass film (BSG film), it is possible to use.

Furthermore, high temperature oxidized film (HTO film) 66 is formed on BPSG film.

Because as for this in case of deep contact hole etching time becomes long, side face of resist backs up.

Receiving influence of resist shape, in order to control fact that opening of contact hole spreads it is provided.

Of course, in case of shallow hole, when necessity is not that, it is, it is not a requisite which produces fundamental effect on effect of the this invention.

high temperature oxidized film (HTO film) it forms 66, with for example growth temperature 800 deg C.

Receiving influence of substrate step, when it is easy to make the step in surface, high temperature oxidized film (HTO film), 66 grinding by all means with CMP (chemomechanical polishing) method, is possible with surface more as flat.

Figure 23 reference.

【0028】

If with step corresponding to above-mentioned Figure 6, in the shape which does not reflect recess shape of substrate on silicon nitride film 7 which becomes etching stopper after it

の凹部のうえでシリコン窒化膜 7 がスリットを生むことがなく、さらに続いて形成される BPSG 膜 8 がこのスリット中に入り込んで形成されることはなくなる。

ゆえに、図 23 のように、シリコン窒化膜 7 の表面が滑らかになるように被着形成すれば、後でコンタクトホールを窓開けする際に、スリット中に BPSG 膜 8 残さ残さないように、エッチャントレジシビ等条件合わせに配慮する必要はなくなる場合がある。

シリコン窒化膜 7 表面にスリットを残さないためには、シリコン窒化膜を下地段差間隔に比べて十分厚く被着形成すればよいが、必要以上に厚く形成しなければスリットが埋まらないというのであれば厚く形成されたシリコン窒化膜を後で CMP(化学機械的研磨)するか、ドライ・エッチングによるエッチバック等により全面を薄くすることができる。

図 7 参照。

【0029】

高温酸化膜(HTO 膜)66 上に、ポジ型フォトレジストを全面塗布形成する。

続いて、通常のフォトリソグラフィ工程を通じてこのポジ型フォトレジストをパターニングし、図示の如くレジストパターン 9 とする。

このレジストパターン 9 をマスクとして、まず BPSG 膜 8 をエッチングする。

この際、エッチャントとして  $C_4F_8+CO+Ar$ (流量比 10sccm:75sccm:200sccm)を用いたリアクティブ・イオン・エッチング(RIE)にてエッチングし、シリコン窒化膜 7 が露出した時点で、エッチングを終わらせる。

図 8 参照。

【0030】

次いで、露出したシリコン窒化膜 7 を、同じレジストパターンをマスクとして使用し、エッチング除去する。

この際、エッチャントとして  $CHF_3+O_2$ (流量比 67sccm:13sccm)を用いたリアクティブ・イオン・エッチング(RIE)にてエッチングし、下地である凸部上面の高温酸化膜(HTO 膜)4 が露出する付近でエッチングを終わらせる。

図 9 参照。

【0031】

次いで、凸部パターン間の狭い間隙に残ったシ

becomes application formable, there are not times when silicon nitride film 7 bears slit on recess of substrate, furthermore continuously BPSG film 8 which is formed enters in this slit and stops being formed.

In reason, like Figure 23, in order for surface of silicon nitride film 7 to become smooth, if it applies forms, when open window doing contact hole afterwards, BPSG film 8 residue residue it will be, there are times when the necessity to consider in condition adjusting such as etchant recipe stops being in slit.

In silicon nitride film 7 surface slit in order for there not to be a residue, if it fully thickly it should have applied forms silicon nitride film in comparison with substrate step spacing but, above necessity thickly it does not form that the slit is not buried, silicon nitride film where you say and was thickly formed CMP (chemomechanical polishing) afterwards or, entire surface can be made thin with dry \* etching with etchback etc.

Figure 7 reference.

【0029】

high temperature oxidized film (HTO film) on 66, positive type photoresist is done entire surface coating formation.

Consequently, as though this positive type photoresist patterning is done via conventional photolithography step, it is an illustration, it makes resist pattern 9.

With this resist pattern 9 as mask, first BPSG film 8 is done etching.

this occasion, etching it does with reactive \* ion \* etching (RIE) which uses the  $C_4F_8+CO+Ar$  (flow ratio 10sccm:75sccm:200sccm), as etchant with time point which silicon nitride film 7 exposes, it makes etching end.

Figure 8 reference.

【0030】

Next, silicon nitride film 7 which is exposed, you use same resist pattern etching remove as mask.

this occasion, etching it does with reactive \* ion \* etching (RIE) which uses the  $CHF_3+O_2$  (flow ratio 67sccm:13sccm), as etchant high temperature oxidized film of projection top which is a substrate (HTO film) it makes etching end with vicinity which 4 exposes.

Figure 9 reference.

【0031】

Next, in order that high temperature oxidized film (HTO film)

リコン窒化膜 7 を、高温酸化膜(HTO 膜)65 をストッパに除去すべくエッチャントを変更してプラズマエッチングする。

ここで、わざわざプラズマエッチングをエッチング方法として選んだ理由は、アノードカップルだからである。

通常、RIE(リアクティブ・イオン・エッチング)はカソードカップルである。

この際、エッチャントとして SF<sub>6</sub>+HBr(流量比 200cc:25cc)、圧力 300mTorr、RF 電力 200W とする。

【0032】

なお、このエッチングでは、準異方性エッチングとし、異方性を確保しつつも基板水平面方向へも若干積極的にエッチングすることが望ましい。

その理由は、単なる異方性エッチングでは、特に凸部側面においてシリコン窒化膜 7 がサイドウォール状に残ってしまう可能性が否めないからである。

準異方性エッチングでシリコン窒化膜 7 をエッチングすると、従来異方性エッチングで問題となったゲート電極側面に生じるエッチング残さを、他の材料と高選択に効率良く除去できる。

除去効率は R 比(準異方性エッチングにおける垂直方向エッチング量に対する水平方向エッチング量の比)で決まり横方向(水平方向)のエッチング速度成分の大きいほど(R 比が 1 に近いほど)ゲート側面の窒化膜残さ除去効率が高い。

一方、R 比が 1 に近づくときコンタクト・ホール内部のアンダーカットが顕著になり、配線材料の被着形状に悪影響が出る。

したがって、適当な R 比を選ぶ必要がありその制御方法はガスの比率、エッチング圧力、電力、ウェハ温度等で適宜制御可能である。

【0033】

また、エッチャントを SF<sub>6</sub>+HBr+N<sub>2</sub> として N<sub>2</sub> を含めることで、シリコン窒化膜 7 と酸化膜の間のエッチング選択比が高くなるので、コンタクト・ホールを開口する際の制御性が向上し好ましい。

図 10 参照。

レジストパターン 9 をマスクとして用いて、RIE(リアクティブ・イオン・エッチング)により、高温酸化

65 is removed in stopper, modifying etchant, plasma etching it does silicon nitride film 7 which remains in gap whose between of projection pattern is narrow.

Therefore here, as for reason which specially chooses plasma etching as etching method, anode couple is.

Usually, RIE (reactive \* ion \* etching) is cathode couple.

this occasion, SF<sub>6</sub>+HBr (flow ratio 200cc:25cc), it makes pressure 300mTorr, RF electric power 200W as etchant.

【0032】

Furthermore, while with this etching, making quasi-anisotropic etching, guaranteeing anisotropy it is desirable etching to do somewhat positively to also substrate horizontal plane direction.

Because as for reason, possibility where silicon nitride film 7 remains in sidewall condition in especially projection side face cannot refuse with mere anisotropic etching.

When silicon nitride film 7 etching is done with quasi-anisotropic etching, etching residue which until recently it occurs in gate electrode side face which has become problem with anisotropic etching, can be removed efficiently in other material and the high selectivity.

When removal efficiency is decided with R ratio (Ratio of horizontal direction amount of etching for vertical direction amount of etching in quasi-anisotropic etching) and etching velocity component of the transverse direction (horizontal direction) is large nitrated film residue removal efficiency of (Extent whose R ratio is close to 1) gate side aspect is high.

On one hand, when R ratio gets near to 1, undercut of contact \* hole interior becomes remarkable, adverse effect appears in application shape of the metallization material.

Therefore, it is necessary to choose suitable R ratio control method is as needed controllable with such as ratio, etching pressure, electric power, wafer temperature of gas.

【0033】

In addition, because by fact that N<sub>2</sub> is included with the etchant as SF<sub>6</sub>+HBr+N<sub>2</sub>, selected etching ratio between silicon nitride film 7 and oxidized film becomes high, when aperture doing contact \* hole, controllability improves and is more desirable.

Figure 10 reference.

As mask using resist pattern 9, high temperature oxidized film (HTO film) 65 and silicon oxide film 2 is removed with RIE

膜(HTO 膜)65 とシリコン酸化膜 2 を除去する。

この際のエッチャントとしては、CHF<sub>3</sub>+O<sub>2</sub>(流量比 67sccm:13sccm), 200mTorr, RF 電力 300W を選ぶことができる。

【0034】

次に、上記エッチングにて開口部底に形成されたイオン衝撃によるダメージを補償する場合には、イオン注入を行う。

不純物にはリン(P)を用い、エネルギー量 30keV, ドーズ量  $1 \times 10^{13} \text{ cm}^{-2}$  でイオン注入する。

その後、犠牲的に形成されている酸化膜(非常に薄い 10 Å 程度)を除去するために HF 系のウェット処理を行う。

フッ化水素アンモニウム:フッ化アンモニウム(1%:40%)の水溶液中でウェットエッチングし、シリコンウエハ 1 表面を再び露出させる。

BPSG 膜と HTO 膜とのエッチレートと同じにするため表記の薬品を用いる。

普通の HF を用いると、BPSG 膜 8 部分だけが開口部から側方に向けて余計にエッチングされて掘れてしまう。

【0035】

この後、マスクとして使用したレジストパターン 9 を酸素(O<sub>2</sub>)雰囲気下のマイクロ波プラズマ処理にてアッシング除去する。

図 11 参照。

さらに続いて、ドーパトアモルファスシリコン膜を化学気相成長(CVD)法にて一様に、前工程まででエッチングしてできた開口部表面を覆い、さらに十分な厚さ被着形成する。

ポリシリコン膜を化学気相成長(CVD)法にて一様に形成しておき、後で導電性を付与すべく不純物を添加するという方法も採用できる。

この場合、導電性不純物にはリン(P)を用い、エネルギー量 30keV, ドーズ量  $1 \times 10^{13} \text{ cm}^{-2}$  でイオン注入する。

次いで、不純物拡散のための加熱工程を経てドーパトアモルファスシリコン膜 10 が形成される。

この場合、不純物添加は POCl<sub>3</sub> 等のガスを使った常圧、または減圧の熱拡散である。

(reactive \* ion \* etching ).

this case CHF<sub>3</sub>+O<sub>2</sub> (flow ratio 67sccm :13sccm ), it is possible as etchant , to choose 200 mTorr , RF electric power 300W.

【0034】

When next, damage compensation is done with ion impact which was formed to opening bottom with above-mentioned etching , ion implantation is done.

In impurity ion implantation it does with amount of energy 30keV , dose  $1 \times 10^{13} \text{ cm}^{-2}$  making use of phosphorus (P ).

After that, wet process of HF type is done in order to remove the oxidized film (Very thin 10 Å extent ) which is formed sacrifice .

wet etching it does in aqueous solution of hydrogen fluoride ammonium :ammonium fluoride (1%: 40%), exposes silicon wafer 1 surface again.

In order to make etching rate of BPSG film and HTO film same, the chemical of transcription is used.

When normal HF is used, equal to BPSG film 8 part amount etching being done excessively from opening destined for side direction , you dig.

【0035】

resist pattern 9 which you use after this , as mask ashing is removed in microwave plasma treatment under oxygen (O<sub>2</sub> ) atmosphere .

Figure 11 reference.

Furthermore continuously, with chemical vapor deposition (CVD ) method evenly, etching doing doped amorphous silicon film to with preprocessing , it covers opening surface which it is possible, furthermore sufficient thickness it applies forms.

In order that polysilicon film is formed evenly with chemical vapor deposition (CVD ) method, the electrical conductivity is granted afterwards, you can adopt also method that adds impurity .

In case of this , in electrically conductive impurity ion implantation it does with amount of energy 30keV , dose  $1 \times 10^{13} \text{ cm}^{-2}$  making use of phosphorus (P ).

Next, passing by heating step for impurity scattering , doped amorphous silicon film 10 is formed.

In case of this , impurity addition is thermal diffusion of ambient pressure , or the vacuum which used POCl<sub>3</sub> or other

図 12 参照。

【0036】

ここで、ドーブアモルファスシリコン膜 10 の全面に対し、CMP(化学機械研磨)法によって研磨し、配線層 10 が平坦部から完全に除去され開口部内のみ残るようになるまでCMP 研磨して除去する。

ここでは、第一の配線層 10 としては、不純物を添加することで導電性を付与したドーブアモルファスシリコン膜単層を使用した例を示したが、奥行きが開口に比べて比較的短い、所謂アスペクト比が低い開口の場合には、スパッタリング法しか現実的な被着形成方法がないアルミニウム乃至アルミニウムに微量のシリコンを混合させたアルミニウム・シリコンや、同様に微量の他の金属を混合したアルミニウム・銅、アルミニウム・シリコン・銅などを用いることも可能であり、かかる場合には、配線を著しく低抵抗化可能となり、装置の高速動作化に寄与できる。

また、アルミニウム乃至前記紹介の他のアルミニウム系配線材料を用いた場合には、開口部表面にチタン膜やチタン/チタンナイトライド積層膜等の高融点金属材料を用いると、ウエハ 1 をなすシリコンと配線層をなすアルミニウム系材料とが直接に接触することが避けられるから、シリコン中にアルミニウムが入り込んで拡散層を破壊するアロイスパイクの問題を回避することができる。

高融点金属材料としては、前記例に代えて、タングステン、タングステンナイトライド、チタンタングステン、タンタル、タンタルナイトライドも使用することができる。

また、前記高融点金属材料をBPSG膜8上に形成することで、アルミニウム原子が電子で押し流されてしまうエレクトロ・マイグレーション等の問題を回避可能にもなる。

【0037】

あるいは、開口に比べて十分奥行きが深い所謂高アスペクト比の開口であっても、一旦化学気相成長(CVD)法で被着形成したポリシリコンを、BPSG膜8上に引き出された部分までを残し他を除去するようにパターニングし、このポリシリコンパターンに接触するようにアルミニウム系材料を被着形成することで、配線材料の開口内への綺麗な被膜と配線全体の低抵抗化を両立可能でもある。

gas.

Figure 12 reference.

【0036】

Until here, it grinds with CMP (chemomechanical polishing) method vis-a-vis entire surface of the doped amorphous silicon film 10, wiring layer 10 is removed completely from flat part and only inside opening reaches point where it remains, CMP grinding, it removes.

Here, example which uses doped amorphous silicon film monolayer which grants electrical conductivity by the fact that impurity is added as wiring layer 10 of first, was shown, but depth it is short relatively in comparison with opening, when it is a aperture where generally known aspect ratio is low, only sputtering method the aluminum \* silicon which mixes silicon of trace amount to aluminum to aluminum which does not have actual application formation method and, Also being possible to use aluminum \* copper, aluminum \* silicon \* copper etc which mixes other metal of trace amount in same way in this case, metallization to be considerable it becomes resistance-lowering possible, can contribute to the high speed operation conversion of device.

In addition, when other aluminum metallization material of aluminum to aforementioned introduction is used, when titanium film and titanium /titanium nitride laminated film or other high melting point metallic material are used for opening surface, because you can avoid fact that silicon which forms wafer 1 and the aluminum material which forms wiring layer contact immediately, aluminum entering in silicon, problem of alloy spike which destroys diffusion layer can be avoided.

As high melting point metallic material, replacing to aforementioned example, you can use also tungsten, tungsten nitride, titanium tungsten, tantalum, tantalum nitride.

In addition, by fact that aforementioned high melting point metallic material is formed on BPSG film 8, aluminum atom being electron, electro \* migration or other problem which is washed away it becomes also avoidable.

【0037】

Or, in order, to leave to portion which was pulled out polysilicon which once it applied formed with chemical vapor deposition (CVD) method, on BPSG film 8 even with aperture of generally known large aspect ratio where fully depth is deep in comparison with opening other things to remove in order patterning to do, this polysilicon pattern to contact by fact that it applies forms aluminum material, Clean coating to inside aperture of metallization material and resistance-lowering of the metallization entirety it is both achievements possible.

なお、かかる場合に前記高融点金属材料を用いても同様の効果が期待できる。

単に、シリコンウエハ 1 内の能動領域と電氣的に接続すべく第一の配線層を開口内に形成したいというだけであれば、以上の工程を通して第一の配線層の形成までは終了する。

【0038】

メモリセルのキャパシタ及び配線を形成する工程においても、キャパシタ膜(蓄積電極と対向電極)と同一工程で、ビット線コンタクトの形成が行われているが、かかる場合には、加えて以下のような工程があればよい。

図 13 参照。

第一の配線層 10 表面及び高温酸化膜(HTO 膜)66 表面を覆うように、NO 膜 11 を全面被着形成する。

NO 膜とは、窒化-酸化膜のことを指すが、ここでは、先ず第一の配線層 10 表面に CVD 窒化膜を被着形成し、さらに続いて CVD 窒化膜の表面を薄く水蒸気酸化することで、窒化/酸化膜の積層構造を形成する。

このシリコン窒化膜の膜厚は、50 Å 程度である。

窒化膜は、650 deg C 下での CVD(化学気相成長)法にて形成され、一方、上部の酸化膜は、800 deg C 下で水蒸気酸化して形成できるが、CVD 酸化膜としても良い。

【0039】

続いて、ドーパトアモルファスシリコン膜 12 を CVD(化学気相成長)法によって全面に被着形成する。

厚さ 800 Å 程度(700 Å ~ 900 Å)で、500 deg C 下で CVD 形成する。

リン(P)イオンをドーパ量  $1.4 \times 10^{21} \text{ cm}^{-3}$  含む。

図 14 参照。

かかる全面形成されたドーパトアモルファスシリコン膜 12 表面に、レジスト膜 93 を塗布形成する。

図 15 参照。

【0040】

こうして全面塗布形成されたレジスト膜 93 を、通常のフォトリソ技術にて開口部上だけを覆うよう

achievements possible.

Furthermore, in this case you can expect similar effect making use of aforementioned high melting point metallic material.

Simply, in order that you connect to active region and electrical inside silicon wafer 1, if disliking which formed wiring layer of first inside aperture \* just is, it ends to formation of wiring layer of first through step above.

【0038】

Regarding capacitor of memory cell and step which forms metallization, capacitor film (storage electrode and counterelectrode) with with same step, formation of bit line contact is done, but in this case, adding, like below a step there should have been.

Figure 13 reference.

In order wiring layer 10 surface and high temperature oxidized film of first (HTO film) to cover 66 surface, entire surface it applies forms NO film 11.

NO film, it points to thing of nitriding-oxidized film, but here, first to the wiring layer 10 surface of first CVD nitrided film it applies forms, furthermore continuously by fact that to be thin steam oxidation it does surface of CVD nitrided film, it forms laminated structure of nitriding/oxidized film.

film thickness of this silicon nitride film is 50 Å extent.

nitrided film can be formed with CVD (chemical vapor deposition) method under 650 deg C, on one hand, steam oxidation doing under 800 deg C, can form oxidized film of the upper part, but as CVD oxide film it is good.

【0039】

Consequently, doped amorphous silicon film 12 to entire surface it applies forms with CVD (chemical vapor deposition) method.

With thickness 800 Å extent (700 Å - 900 Å), CVD it forms under 500 deg C.

phosphorus (P) ion is included doped amount  $1.4 \times 10^{21} \text{ cm}^{-3}$  contain.

Figure 14 reference.

This entire surface in doped amorphous silicon film 12 surface which was formed, resist film 93 is done coating formation.

Figure 15 reference.

【0040】

In this way, in order resist film 93 which entire surface coating formation is done, to cover just on opening with

にパターニングする。

図 16 参照。

続いて、前記パターニングされたレジスト膜 93 をマスクとして用い、RIE(リアクティブイオンエッチング)法によってドーパモルファスシリコン膜 12 をパターニングする。

この際のエッチャントには、Cl<sub>2</sub>(塩素)+O<sub>2</sub>(酸素)(流量比 60sccm:10sccm)として用いることができる。

続いて、O<sub>2</sub>(酸素)を用いたプラズマアッシング法によってレジスト膜 93 をアッシング除去する。

図 17 参照。

【0041】

次いで、BPSG(ボロ・フォスフォ・シリケート・ガラス)膜 82 を厚さ 1500 Å 程度に全面 CVD(化学気相成長)法にて被着形成する。

CVD 形成した後に、表面平坦化のために加熱してリフロー処理する。

層間絶縁膜材料として BPSG を用いたのは、融点が比較的低く、このリフロー処理時の加熱温度を幾分でも低くできるという効果からであるが、熱ストレスを気にしなくても良いプロセスの場合には、PSG(リン・シリケート・ガラス)や BSG(ボロ・シリケート・ガラス)を BPSG に代えて用いることもできる。

図 18 参照。

【0042】

続いて、この BPSG 膜 82 にビット線コンタクトとすべき図面の左側開口部にだけ窓を設けるべく通常のフォトリソパターニングを行う。

すなわち、全面形成された BPSG 膜 82 の表面に先ずフォトレジスト膜を全面塗布形成する。

このフォトレジスト膜を露光して所望の位置だけを現像パターニング除去する。

こうしてできたレジストパターン(図示しない)をマスクとして RIE(リアクティブ・イオン・エッチング)によってレジストパターン開口部に対応した BPSG 膜を選択的にエッチング除去する。

この際のエッチャントとしては、CF<sub>4</sub>+CHF<sub>3</sub>+Ar(流量比 19sccm:24sccm:83sccm)を用いることができる。

図 19 参照。

conventional photolithography technology , patterning it does.

Figure 16 reference.

Consequently, it uses resist film 93 which aforementioned patterning is done patterning does doped amorphous silicon film 12 with RIE (reactive ion etching ) method as mask .

this case you can use for etchant , Cl<sub>2</sub> (chlorine ) +O<sub>2</sub> (oxygen ) (flow ratio 60sccm :10sccm )as.

Consequently, resist film 93 ashing is removed with plasma ashing method which uses O<sub>2</sub> (oxygen ).

Figure 17 reference.

【0041】

Next, BPSG (boro \* phospho \* silicate \* glass ) film 82 to thickness 1500\* extent it applies forms with entire surface CVD (chemical vapor deposition )method.

CVD after forming, heating because of surface planarization , reflow process it does.

It is from an effect that it can make heating temperature at time of the this reflow process low even with some, as for using BPSG as interlayer insulating film material , the melting point to be low relatively, but with thermal stress as air in case of good process , PSG (phosphorus \* silicate \* glass ) and replacing BSG (boro \* silicate \* glass ) to BPSG ,it is possible also to use.

Figure 18 reference.

【0042】

Consequently, in order that window is provided just on left side opening of drawing which it should make bit line contact in this BPSG film 82 conventional photolithography patterning is done.

namely, entire surface first photoresist film entire surface coating formation is done in surface of BPSG film 82 which was formed.

Exposing this photoresist film , development patterning it removes just desired position .

In this way, BPSG film which corresponds to resist pattern opening with RIE (reactive \* ion \* etching ) with resist pattern (unshown ) which it is possible as mask is removed the selectively etching .

this case CF<sub>4</sub>+CHF<sub>3</sub>+Ar (flow ratio 19sccm :24sccm :83sccm ) can be used as etchant .

Figure 19 reference.

【0043】

続いて、シリコンウエハ 1 表面の能動層を配線層に接続するための第一のコンタクトホール 51 と、別のトランジスタゲート(ワード線)を配線層に接続するための第二のコンタクトホール 52 とを開く。

この際には、該当部分の表面に選択的に窓を有するフォトリソパターンを先ず通常のフォトリソパターニングにて形成する。

次いで、このフォトリソパターンをマスクとして RIE(リアクティブ・イオン・エッチング)法により順次エッチング除去する。

この際、このガスは、 $\text{CHF}_3 + \text{O}_2 + \text{Ar}$  (流量比 50sccm:5sccm:500sccm)を用いることができる。

図 20 参照。

【0044】

次いで、ビット線用配線層を被着形成する工程に移る。

先ず、600 Å のチタン膜(Ti 膜)13 を CVD(化学気相成長)法にて形成する。

この工程で CVD(化学気相成長)チタン膜に代えて、スパッタ・チタン膜乃至ハイドロシテ・プラズマチタン膜を用いることもできる。

ハイドロシテ・プラズマチタン膜とすれば、コンタクト抵抗と接合リークを設計基準に合わせて形成することがより容易になるという効果がある。

このハイドロシテ・プラズマ膜とは、一種のバイアススパッタ法乃至イオンプレーティングに近い技術によって形成されるものである。

続いて、400 Å のチタンナイトライド膜(TiN 膜)14 を同様に CVD(化学気相成長)法にて被着形成する。

膜を形成する部分が深く凹でなければスパッタリング法による形成も可能であるが、装置全体が微細化している現状では綺麗に微細な凹部に埋め込むことが難しく、したがって CVD(化学気相成長)法による方がより埋め込み形成容易である。

これら Ti 膜 13 と TiN 膜 14 との二層の形成は、同一チャンバー内において窒素系ガスを途中から加入することによれば連続して行うことが可能である。

続いて 1000 Å のタンゲステン膜(W 膜)15 を CVD(化学気相成長)法にて被着形成する。

【0043】

Consequently, contact hole 51 of first in order to connect active layer of silicon wafer 1 surface to wiring layer, second contact hole 52 in order to connect another transistor gate (word line) to wiring layer is done aperture.

this case, photoresist pattern which possesses selectively window in surface of corresponding portion is formed first with conventional photolithography patterning.

Next, sequential etching it removes with RIE (reactive \* ion \* etching) method with this photoresist pattern as the mask.

this case gas can use  $\text{CHF}_3 + \text{O}_2 + \text{Ar}$  (flow ratio 50sccm : 5sccm : 500sccm).

Figure 20 reference.

【0044】

Next, it moves to step which it applies forms wiring layer for the bit line.

First, titanium film of 600 Å (Ti film) 13 is formed with CVD (chemical vapor deposition) method.

Replacing to CVD (chemical vapor deposition) titanium film with this step, it is possible also to use sputter \* titanium film to [hydrogenitii] \* plasma titanium film.

If it makes high density \* plasma titanium film, in combination with contact resistance and the connecting leakage to design reference, there is an effect that it becomes easier to form.

this [hydrogenitii] \* plasma film is something which is formed with technology which is close to bias sputtering method to ion plating of one kind.

Consequently, titanium nitride film of 400 Å (TiN film) in same way it applies forms 14 with CVD (chemical vapor deposition) method.

If portion which forms film to be deep is not concave, also formation is possible with sputtering method, but device entirely with present state which narrowing has been done imbedding cleanly inside microscopic recess to be difficult, therefore from one is pad formation easy with CVD (chemical vapor deposition) method.

As for formation of two layers of these Ti film 13 and TiN film 14, according to joining from middle continuing nitrogenous gas in inside same chamber, it is possible to do.

Consequently tungsten film of 1000 Å (W film) it applies forms 15 with CVD (chemical vapor deposition) method.



以上 3 層が配線層材料をなす。

【0045】

さらに、この配線層材料の表面に形成されるフォトリソのパターンニングに用いる光が下地をなすタングステン膜(W 膜)15 表面から高反射してしまう問題を解消するために、タングステン膜(W 膜)15 表面に 280 Å のシリコンオキシナイトライド膜(SiON 膜)16 を被着形成する。

厚さは下地膜からの反射を防止できる厚さである必要がある。

形成方法としては、プラズマ CVD(化学気相成長)法を用いればよい。

プラズマ CVD 法を使用するのは、膜の屈折率を制御しやすいという効果からである。

【0046】

ところで、同図面及びこれ以降の図面において、図 19 で示した第一のコンタクトホール 51 及び第二のコンタクトホール 52 は図示を省略するが、各配線層は図示しないこれらのコンタクトホール 51,52 内にも図示される如くに全面被着形成されている。

なお、この配線層の材料は、主としてアルミニウム系合金膜を選ぶことができる。

アルミニウム系合金膜は、導電率が高い、形成容易である、工程途中乃至製品使用中にマイグレーションによる切れを起こしにくい等を条件として選択されたものであり、他には高融点金属系材料やドーパドシリコン、高融点金属シリサイド膜等を用いることもでき、CVD(化学気相成長)法により形成可能な材料を選択すれば形成面の凹部が開口に比べて深くても被着形成が容易であるという効果がある。

コンタクト抵抗と接合リークとがともに低いことを条件として選ばれるべきであるが、コンタクト面において自己整合的にシリサイド化する所謂シリサイド技術を採用すれば工程簡易にしてコンタクト抵抗を下げうという効果がある。

アルミニウムは一般に CVD(化学気相成長)法が量産適用できず、未だ実験段階にある。

したがって、アルミニウム系合金膜乃至純アルミニウム膜の形成には、スパッタリング法を採用するのが大抵であり、導電率が高い点での効果が著しい反面、凹部に埋め込むのが難しいという短所がある。

Or more 3 layers form wiring layer material .

【0045】

Furthermore, tungsten film where light which is used for patterning of photoresist which is formed to surface of this wiring layer material forms substrate (W film) high in order to cancel problem which is reflected, tungsten film (W film) to 15 surface silicon oxy nitride film of 280 Å (SiON film) 16 it applies forms from 15 surface .

As for thickness it is necessary to be a thickness which can prevent thereflection from base film .

As formation method , plasma CVD (chemical vapor deposition ) method should have been used.

Fact that plasma CVD method is used, is from effect that it is easy to control index of refraction of film .

【0046】

By way, contact hole 51 and second contact hole 52 of first which is shown with Figure 19 on same Figure aspect and drawing after this, abbreviate illustration, but each wiring layer as though it is illustrated also inside contact hole 51, 52 of unshown these, entire surface being applied and being formed.

Furthermore, to choose aluminum alloy film mainly it is possible material of this wiring layer .

As for aluminum alloy film , electrical conductivity is high, it is formation easy, during step halfway to product using being cut off such as is difficult to happen being something which is selected as condition with migration , to use high melting point metallic material and doped silicon , high melting point metal silicide film etc, it to be possible also in other things If moldable material is selected due to CVD (chemical vapor deposition ) method, there is an effect that recess of molded surface application formation is easy in comparison with opening being deep.

Is fact that contact resistance and connecting leakage are low together as condition , but if generally known salicided technology which to polycide is converted to self-aligning on contact aspect is adopted, there is an effect that it can lower contact resistance , to step simple.

aluminum mass production not be able to apply CVD (chemical vapor deposition ) method generally, still there is a experiment step .

Therefore, in formation of aluminum alloy film to pure aluminum film , fact that sputtering method is adopted mostly being, while effect in point where electrical conductivity is high is considerable, there is a shortcoming that it is difficult to imbed to recess .

アルミニウム系材料を配線層として形成する場合に、この短所を改善する方法としては、「フォースフィル」と呼ばれる方法が知られている。

この方法は、アルミニウム系合金を加熱、加圧条件下でリフローするように膜の被着形状を改善するものである。

同時に、アルミニウム系材料は、単結晶化するとマイグレーションに強くなることも知られているので、単結晶アルミニウムをフォースフィルによって形成できれば高導電率と良好な被着形状とを両立可能になる。

【0047】

なお、図 20 の例に代えて、図 24 のようにキャパシタセルの領域だけを大きくとることもできる。

図 24 は、図 20 に対応した工程説明図であり、図中で同じ番号を付して示したものは同じ材料である。

この図 24 に断面が示された装置は、図の右側に位置するキャパシタセルが単に一つのゲート電極上にオーバーラップしているにとどまらず、窓を設ける領域の両側のゲート電極二つもの上にオーバーラップしているので、より広いセル面積が確保できることになる。

図 21 参照。

【0048】

続いて、全面に被着形成された前記配線層(チタン膜 13、チタンナイトライド膜 14、タングステン膜 15)をパターニングする工程に移る。

まず、シリコンオキシナイトライド膜 16 表面にフォトリソを全面塗布形成する。

次いで、通常のフォトリソパターニング法にしたがって露光、現像して、図面左側のビット線コンタクトホール周辺上にだけフォトリソパターンを残す。

【0049】

このフォトリソパターンをマスクとして用い、RIE(リアクティブ・イオン・エッチング)法により配線層(チタン膜 13、チタンナイトライド膜 14、タングステン膜 15)のパターニングを行う。

配線層材料が 3 層で異なりさらに配線層の上には反射防止膜としてシリコンオキシナイトライド膜 16 が形成されているので、エッチャントガスをその都度変更する必要があるが、例えば NF<sub>3</sub>+Ar を流量比 300sccm:20sccm として用いれば、シリコンオキシナイトライド膜とタングステン

When aluminum material it forms, as metallization layer "force fill" with method which is called is known as method which improves this shortcoming.

In order for this method to heat aluminum alloy, reflow to do under the pressurization condition it is something which improves application shape of the film.

Because simultaneously, aluminum material, when to single crystal it converts, has been known also that it becomes strong in migration, if single crystal aluminum can be formed with force fill, high electrical conductivity and satisfactory application shape it becomes both achievements possible.

【0047】

Furthermore, replacing to example of Figure 20, like Figure 24 it can also take just region of capacitor cell largely.

As for Figure 24, with step explanatory diagram which corresponds to Figure 20, attaching with in the diagram, same number as for those which it shows it is same material.

Because as for device where cross section is shown in this Figure 24, the capacitor cell which is position of right side in figure simply on gate electrode of one overlap has made on also gate electrode two of both sides of the region which provides window overlap it has done not to be restricted, to be able to guarantee, it means a wider cell surface product.

Figure 21 reference.

【0048】

Consequently, it moves to step which patterning does the aforementioned wiring layer (titanium film 13, titanium nitride film 14, tungsten film 15) which it was applied was formed to entire surface.

First, photoresist entire surface coating formation is done in silicon oxy nitride film 16 surface.

Next, following to conventional photolithography patterning method, exposing and developing, it leaves the photoresist pattern just on bit line contact hole periphery of drawing left side.

【0049】

It uses this photoresist pattern as mask, it does patterning of wiring layer (titanium film 13, titanium nitride film 14, tungsten film 15) with RIE (reactive \* ion \* etching) method.

wiring layer material being 3 layers, to differ, because furthermore as antireflective film silicon oxy nitride film 16 is formed on metallization layer, it is necessary to modify etchant gas every time if, but it uses for example NF<sub>3</sub>+Ar as flow ratio 300sccm:20sccm silicon oxy nitride film and the tungsten film patterning is possible at a stroke.

膜とを一気にパターニングできる。

また、Cl<sub>2</sub> 100sccm をガスとして用いれば、チタンナイトライド膜とチタン膜とを一気にパターニングできる。

その他の条件としては、RF パワー400W、圧力100mTorr。

図 22 参照。

【0050】

前記 3 層構造の配線層は、下部のビット線コンタクト部(図上左側で開口部を通してシリコンウエハと電気的に接続している箇所)と電気的に接続してビット線配線層としての役割を担うこととなる。

この配線形成工程が終了すると、次には層間絶縁膜形成工程に移る。

具体的には、ビット線配線層表面及び BPSG(ボロ・フォスフォ・シリケート・ガラス)膜 82 全面を覆う新たな BPSG(ボロ・フォスフォ・シリケート・ガラス)膜 83 を CVD(化学気相成長)法にて被着形成する。

厚さは 8000 Å、加熱して表面をリフローする。

この工程において、BPSG 膜に代えて、HDP-SiO(ハイドンシティー・プラズマシリコンオキシサイド)膜を用いることもできる。

HDP-SiO を用いることができれば、以下の点で有利である。

すなわち、BPSG 膜のように、形成工程途中で高温を加える必要がなくなるので、熱ストレスを格段に抑えることができる。

HDP-SiO 膜を 1 μm 上乗せし、プラズマ酸化膜 7000 Å 被着形成する。

この後、これら絶縁膜の上から配線上で 8000 Å 残るまで CMP(化学機械的研磨)エッチバックを行なう。

また、HDP-SiOF(ハイドンシティー・プラズマシリコンオキシフロライド)膜のように、ハイドンシティー膜にフッ素を添加することもよい。

この場合には、膜の誘電率が高くなるので、上記の HDP-SiO 膜の効果に加えて、配線と他の配線との層間における所謂クロストーク(相互干渉)の低減に効果が高い。

【0051】

この後、配線層を形成して下層配線層と接続す

tungsten film patterning is possible at a stroke.

In addition, if it uses Cl<sub>2</sub> 100sccm as gas titanium nitride film and titanium film patterning is possible at a stroke.

As other condition, RF power 400W, pressure 100mTorr.

Figure 22 reference.

【0050】

Description above 3 -layer structure wiring layer, bit line contact section of bottom (With left side on figure site which is been connected to the silicon wafer 1 and electrical through opening) with connecting to electrical, as bit line wiring layer means with to bear the role.

When this metallization step ends, next it moves to interlayer insulating film formation process.

Concretely, it applies forms new BPSG (boro \* phospho \* silicate \* glass) film 83 which covers bit line wiring layer surface and BPSG (boro \* phospho \* silicate \* glass) film 82 entire surface with CVD (chemical vapor deposition) method.

thickness 8000 Å, heating, reflow does surface.

In this step, replacing to BPSG film, it is possible also to use the HDP-SiO ([haidenshitii] \* plasma silicon oxide) film.

If HDP-SiO can be used, it is profitable in point below.

Like namely, BPSG film, because necessity to add high temperature formation process midway is gone, it can hold down thermal stress markedly.

1 μm it adds HDP-SiO film, plasma oxidized film 7000 Å it applies forms.

Until 8000 Å it remains on metallization, CMP (chemomechanical polishing) etchback is done from after this and on these insulating film.

In addition, like HDP-SiOF ([haidenshitii] \* plasma silicon oxy fluoride) film, also it is good to add fluorine to [haidenshitii] film.

In case of this, because dielectric constant of film becomes high, effect is high in decrease of generally known crosstalk (mutual interference) in the interlayer of metallization and other metallization in addition to effect of above-mentioned HDP-SiO film.

【0051】

After this, forming wiring layer, it moves to step which the

るためのコンタクトホール(図示しない)を開口する工程に移る。

パターニングはフォトリソをマスクとして用いた通常のフォトリソ工程によって行なえばよい。

層間絶縁膜のエッチングは、このマスクを使用して、 $\text{CF}_4+\text{CHF}_3+\text{Ar}$  を流量比 20sccm:14sccm:425sccm にて用いた RIE(リアクティブ・イオン・エッチング)による。

【0052】

こうしてできたコンタクトホール内及び平坦化された BPSG 膜 83(乃至 HDP-SiO 膜)表面に、上層配線層材料を全面被着形成する。

まず 500 Å のチタンナイトライド膜(TiN 膜)17 を CVD(化学気相成長)法にて被着形成する。

次いで、この TiN 膜 17 に重ねて 3000 Å のタングステン膜(W 膜)18 を CVD 法にて被着形成する。

全面被着形成されたこれら 2 層はフォトリソパターンをマスクとして通常のフォトリソパターニング工程にしたがってパターニングされる。

パターニングは RIE(リアクティブ・イオン・エッチング)法にて行うが、エッチャントガスを各層毎に変更する場合、次のガスを用いることができる。

すなわち、タングステン(W)膜のエッチングに対して  $\text{NF}_3+\text{Ar}$ (流量比 300sccm:20sccm)を用い、またチタンナイトライド(TiN)膜のエッチングに対して  $\text{Cl}_2$  100sccm を用いる。

RF パワー 400W, 圧力 100mTorr。

こうしてできたチタンナイトライド(TiN)/タングステン(W)の積層膜パターンをも覆うように BPSG 膜 84 を新たに全面被着形成する。

表面平坦化のために加熱して BPSG 膜 84 をリフローする。

この BPSG 膜 84 も HDP-SiO 膜で代えることができ、その際には低温形成による効果が加えて得られる。

HDP-SiO 膜を使用する場合には、十分な厚さを被着形成しておいて、所望の膜厚まで CMP(化学機械的研磨)エッチバックを行なえばよい。

【0053】

次いで、この BPSG 膜(乃至 HDP-SiO 膜)84 中にコンタクトホールを設ける。

上記 BPSG 膜 83 内に設けたコンタクトホールの

aperture does contact hole (unshown) in order to connect with bottom layer wiring layer.

It should have done patterning with conventional photolithography step which uses photoresist as mask.

As for etching of interlayer insulating film, using this mask, with RIE (reactive \* ion \* etching) which uses  $\text{CF}_4+\text{CHF}_3+\text{Ar}$  with flow ratio 20sccm:14sccm:425sccm.

【0052】

In this way, inside contact hole which it is possible and to BPSG film 83 (to HDP-SiO film) surface which planarization is done, top layer wiring layer material entire surface it applies forms.

First titanium nitride film of 500Å (TiN film) it applies forms 17 with CVD (chemical vapor deposition) method.

Next, repeating to this TiN film 17, tungsten film of 3000Å (W film) it applies forms 18 with CVD method.

These 2 layers which entire surface it was applied were formed are done following to conventional photolithography patterning step, with photoresist pattern as mask patterning.

It does patterning with RIE (reactive \* ion \* etching) method, but when etchant gas is modified in each every layer, following gas can be used.

Vis-a-vis etching of namely, tungsten (W) film  $\text{Cl}_2$  100sccm is used making use of  $\text{NF}_3+\text{Ar}$  (flow ratio 300sccm:20sccm), in addition vis-a-vis etching of titanium nitride (TiN) film.

RF power 400W, pressure 100mTorr.

In this way, in order to cover also laminated film pattern of titanium nitride (TiN)/tungsten (W) which it is possible, anew entire surface it applies forms BPSG film 84.

Heating because of surface planarization, reflow it does BPSG film 84.

Also this BPSG film 84 can replace with HDP-SiO film, at that case effect adding with low temperature formation, is acquired.

When HDP-SiO film is used, applying and forming sufficient thickness, it should have done CMP (chemomechanical polishing) etchback to desired film thickness.

【0053】

Next, this BPSG film (to HDP-SiO film) contact hole is provided in 84.

method which is similar to formation process of contact hole

形成工程と同様の方法をとればよい。

ただし、最上層に被着形成される配線材料は後述のアルミニウム系合金膜であり、スパッタリングによって形成される以上、コンタクトホール内でのカバレッジ(被覆形状)が良好でないため、コンタクトホールの形状そのものをカバレッジ改善のために工夫することも必要である。

このホール形状改善の方法は、特開昭56-90525号公報に開示されるとおりである。

この公報開示の方法を採用した場合、等方性エッチング工程についてはフッ化水素アンモニウム+フッ化アンモニウムの混合液によるウエットエッチング、異方性エッチング工程についてはCF<sub>4</sub>+CHF<sub>3</sub>+Ar(流量比 19sccm:24sccm:83sccm)を用いたRIE(リアクティブ・イオン・エッチング)による。

#### 【0054】

さらに、このBPSG膜(乃至HDP-SiO<sub>2</sub>膜)<sup>84</sup>表面に図示しないアルミニウム系配線材料をスパッタリング形成しパターニングすることで最上層の配線層とする。

アルミニウム系配線層は、アルミニウムに1%のシリコンを含めたものや、アルミニウム・シリコン・銅等、マイグレーション等の深刻さにしたがって適宜用いられよい。

#### 【0055】

以上が、DRAMの配線工程中、特に、ビット線コンタクト配線(図面の左側)とキャパシタ電極(図面の右側)とを同一工程にて形成する場合の本発明の実施形態である。

ところで、本発明は以上のDRAMの製造工程に限定されることなく、他の微細な半導体装置全般に適用できるものである。

例えば、フラッシュメモリやロジックデバイス、プロセス等用途は限られない。

また、以上の製造工程の実施形態では、単層ゲート電極に対してオーバーラップしたコンタクトホールの開口を取り上げて説明しているが、コンタクトホールが底部でオーバーラップするのが多層ゲート電極であってもよい。

その他、基板面に直接に接触する配線層乃至他の絶縁性材料が作る段差であってもよい。

#### 【0056】

which is provided inside above-mentioned BPSG film 83 should have been taken.

However, metallization material which it is applied is formed to topmost layer because with later mentioned aluminum alloy film, above being formed with sputtering, the coverage (sheath shape) inside contact hole is not satisfactory, devising shape itself of contact hole for coverage improvement is necessary.

method of this hole shape improvement is, as disclosed in Japan Unexamined Patent Publication Showa 56-90525 disclosure.

When method of this disclosure is adopted, concerning isotropy etching step with mixed solution of hydrogen fluoride ammonium + ammonium fluoride with RIE (reactive ion etching) which uses CF<sub>4</sub>+CHF<sub>3</sub>+Ar (flow ratio 19sccm:24sccm:83sccm) concerning wet etching, anisotropic etching step.

#### 【0054】

Furthermore, this BPSG film (to HDP-SiO<sub>2</sub> film) sputtering it forms unshown aluminum metallization material in 84 surface and it makes wiring layer of topmost layer by fact that patterning it does.

As for aluminum wiring layer, those which include 1% silicon to aluminum, migration or other seriousness such as aluminum \* silicon \* copper following, as needed it should have used.

#### 【0055】

Or more, in metallization step of DRAM, especially, bit line contact metallization (left side of drawing) with is embodiment of this invention when capacitor electrode (right side of drawing) is formed with same step.

By way, this invention is something which can be applied to all the other microscopic semiconductor device without being limited in production step of DRAM above.

application such as for example flash memory and logic device, processor is not limited.

In addition, with embodiment of production step above, picking up aperture of contact hole which overlap is done vis-a-vis monolayer gate electrode, it is explanatory, but contact hole being bottom, overlap doing may be the multilayer gate electrode.

In addition, it is good even with step which wiring layer to other insulating property material which contacts substrate surface immediately makes.

#### 【0056】

## 【発明の効果】

本発明によれば、集積回路(IC,LSI)などの半導体装置内で、不純物を導入して形成される能動領域と他の能動領域を接続するため設けられる電極形成用のコンタクト窓を積極的に下層導電層と窓とを自己整合的にオーバーラップさせて構成した場合にも、信頼性の高い電氣的コンタクトが可能になるという効果がある。

## 【0057】

より詳細には、下層導電層を窓の位置にオーバーラップさせようとした場合に生じる窓下方の段差にもかかわらず、エッチング残さをも綺麗に除去して確実に下地の能動層乃至配線層を露出することができ、同時に窓内に配線層材料を被膜形成するにあたって、局所的に薄くしか形成されない等の問題を生じず、もって確実な下地能動層乃至配線層との電氣的コンタクトを行える方法を提供することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の第1の原理工程を示す途中断面図

## 【図2】

本発明の第2の原理工程を示す途中断面図

## 【図3】

本発明の第3の原理工程を示す途中断面図

## 【図4】

本発明の第4の原理工程を示す途中断面図

## 【図5】

本発明の第5の原理工程を示す途中断面図

## 【図6】

本発明の第6の原理工程を示す途中断面図

## 【図7】

本発明の第7の原理工程を示す途中断面図

## 【図8】

## [Effects of the Invention]

According to this invention, inside integrated circuit (IC, LSI) or other semiconductor device, introducing the impurity, in order to connect active region and other active region which are formed when contact window for electrode formation which is provided positively the overlap designating bottom layer conductive layer and window as self-aligning, configuration it does, there is an effect that electrical contact where reliability is high becomes possible.

## [0057]

When in detail, overlap designating bottom layer conductive layer as position of the window, way when it does, in spite of step of window lower which it occurs, removing also etching residue cleanly to expose active layer to wiring layer of substrate securely, it is possible, coating formation does wiring layer material simultaneously inside window, It does not cause or other problem which thin only is formed to localized, has and it can offer method which can do electrical contact of assured substrate active layer to wiring layer.

## [Brief Explanation of the Drawing(s)]

## [Figure 1]

Halfway sectional view which shows first principle step of this invention

## [Figure 2]

Halfway sectional view which shows second principle step of this invention

## [Figure 3]

Halfway sectional view which shows principle step of third of this invention

## [Figure 4]

Halfway sectional view which shows principle step of 4 th of this invention

## [Figure 5]

Halfway sectional view which shows principle step of 5 th of this invention

## [Figure 6]

Halfway sectional view which shows principle step of 6 th of this invention

## [Figure 7]

Halfway sectional view which shows principle step of 7 th of this invention

## [Figure 8]

本発明の第 8 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 8 th of this invention

【図9】

[Figure 9]

本発明の第 9 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 9 th of this invention

【図10】

[Figure 10]

本発明の第 10 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 10 th of this invention

【図11】

[Figure 11]

本発明の第 11 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 11 th of this invention

【図12】

[Figure 12]

本発明の第 12 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 12 th of this invention

【図13】

[Figure 13]

本発明の第 13 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 13 th of this invention

【図14】

[Figure 14]

本発明の第 14 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 14 th of this invention

【図15】

[Figure 15]

本発明の第 15 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 15 th of this invention

【図16】

[Figure 16]

本発明の第 16 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 16 th of this invention

【図17】

[Figure 17]

本発明の第 17 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 17 th of this invention

【図18】

[Figure 18]

本発明の第 18 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 18 th of this invention

【図19】

[Figure 19]

本発明の第 19 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 19 th of this invention

【図20】

[Figure 20]

本発明の第 20 の原理工程を示す途中断面図

Halfway sectional view which shows principle step of 20 th of this invention

【図21】

[Figure 21 ]

本発明の第 21 の原理工程を示す途中断面図

【図22】

本発明の第 22 の原理工程を示す途中断面図

【図23】

本発明の第 6 の別の原理工程を示す途中断面図

【図24】

本発明の第 20 の別の原理工程を示す途中断面図

【図25】

従来技術における第 1 の問題点を示す途中断面図

【図26】

従来技術における第 2 の問題点を示す途中断面図

各図中、

- 1 はシリコンウエハ,
- 2 はシリコン酸化膜,
- 31 はポリシリコン膜,
- 32 はタンゲステンシリサイド膜,
- 4 は高温酸化膜(HTO 膜),
- 6 は高温酸化膜(HTO 膜),
- 61 はサイドウォール(HTO 膜),
- 65 は高温酸化膜(HTO 膜),
- 66 は高温酸化膜(HTO 膜),
- 7 はシリコン窒化膜,
- 8 は BPSG 膜(ボロ・フォスフォ・シリケート・ガラス膜),
- 82 は BPSG 膜(ボロ・フォスフォ・シリケート・ガラス膜),
- 83 は BPSG 膜(ボロ・フォスフォ・シリケート・ガラス膜),
- 84 は BPSG 膜(ボロ・フォスフォ・シリケート・ガラス膜),
- 9 はレジストパターン,
- 92 はレジスト膜,

Halfway sectional view which shows principle step of second 1 of this invention

【Figure 22 】

Halfway sectional view which shows principle step of 22 nd of this invention

【Figure 23 】

Halfway sectional view which shows another principle step of 6 th of this invention

【Figure 24 】

Halfway sectional view which shows another principle step of 20 th of this invention

【Figure 25 】

Halfway sectional view which shows first problem in Prior Art

【Figure 26 】

Halfway sectional view which shows second problem in Prior Art

Each in the diagram ,

As for 1 silicon wafer ,

As for 2 silicon oxide film ,

As for 31 polysilicon film ,

As for 32 tungsten silicide film ,

As for 4 high temperature oxidized film (HTOfilm) ,

As for 6 high temperature oxidized film (HTOfilm) ,

As for 61 sidewall (HTOfilm) ,

As for 65 high temperature oxidized film (HTOfilm) ,

As for 66 high temperature oxidized film (HTOfilm) ,

As for 7 silicon nitride film ,

As for 8 BPSG film (boro \* phospho \* silicate \* glass film) ,

As for 82 BPSG film (boro \* phospho \* silicate \* glass film) ,

As for 83 BPSG film (boro \* phospho \* silicate \* glass film) ,

As for 84 BPSG film (boro \* phospho \* silicate \* glass film) ,

As for 9 resist pattern ,

As for 92 resist film ,



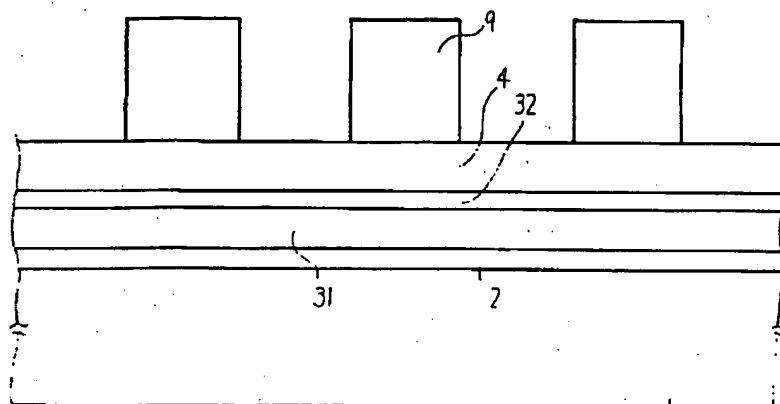
93 はレジスト膜,  
10 はドーブトアモルファスシリコン膜,  
11 は NO 膜(窒化-酸化膜),  
12 はドーブトアモルファスシリコン膜,  
13 はチタン膜(Ti 膜),  
14 はチタンナイトライド膜(TiN 膜),  
15 はタングステン膜(W 膜),  
16 はシリコンオキシナイトライド膜(SiON 膜), 17  
はチタンナイトライド膜(TiN 膜),  
18 はタングステン膜(W 膜),  
101 はシリコンウエハ,  
102 はシリコン酸化膜,  
131 はポリシリコン膜,  
132 はタングステンシリサイド膜,  
114 は高温酸化膜(HTO 膜),  
161 はサイドウォール(HTO 膜),  
165 は高温酸化膜(HTO 膜),  
117 はシリコン窒化膜,  
118 は BPSG 膜(ボロ・フォスフォ・シリケート・ガ  
ラス膜),  
119 はレジストパターン  
である。

**Drawings**

【図1】

As for 93 resist film ,  
As for 10 doped amorphous silicon film ,  
As for 11 NOfilm (nitriding -oxidized film ),  
As for 12 doped amorphous silicon film ,  
As for 13 titanium film (Ti film ),  
As for 14 titanium nitride film (TiN film ),  
As for 15 tungsten film (W film ),  
As for 16 silicon oxy nitride film (SiONfilm ), as for 17  
titanium nitride film (TiN film ),  
As for 18 tungsten film (W film ),  
As for 101 silicon wafer ,  
As for 102 silicon oxide film ,  
As for 131 polysilicon film ,  
As for 132 tungsten silicide film ,  
As for 114 high temperature oxidized film (HTOfilm ),  
As for 161 sidewall (HTOfilm ),  
As for 165 high temperature oxidized film (HTOfilm ),  
As for 117 silicon nitride film ,  
As for 118 BPSG film (boro \* phospho \* silicate \* glass  
film ),  
As for 119 resist pattern  
So it is.

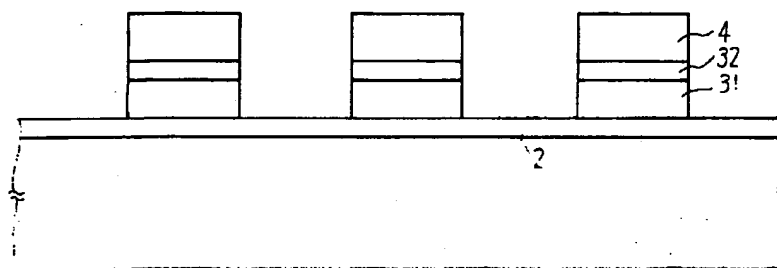
[Figure 1]



- 1: シリコン酸化物  
2: シリコン窒化膜  
31: ポリシリコン膜  
32: タングステンシリサイド膜  
4: 高温酸化膜 (HTO膜)  
9: レジストパターン

【図2】

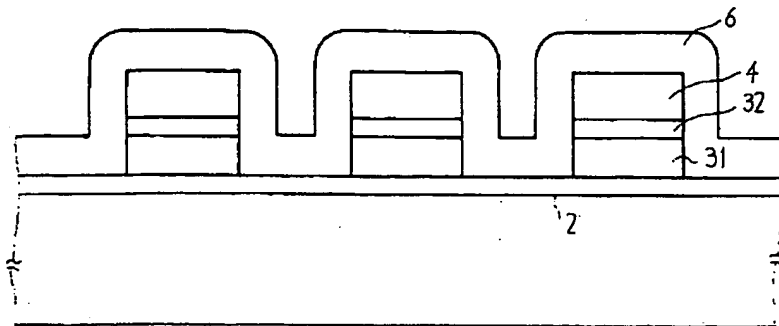
[Figure 2]



- 1: シリコン酸化物  
2: シリコン窒化膜  
31: ポリシリコン膜  
32: タングステンシリサイド膜  
4: 高温酸化膜 (HTO膜)

【図3】

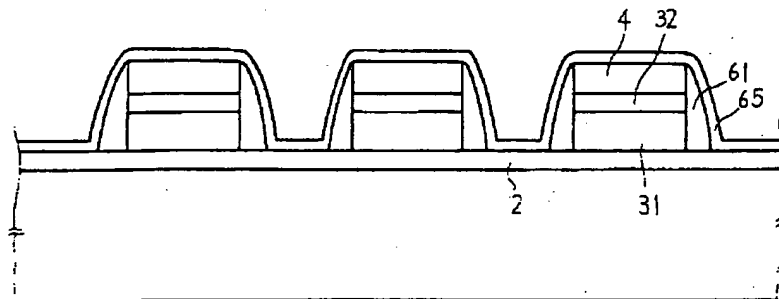
[Figure 3]



- |                |                  |
|----------------|------------------|
| 1: シリコンエパ      | 4: 高温酸化膜 (HTO 膜) |
| 2: シリコン酸化膜     | 6: 高温酸化膜 (HTO 膜) |
| 31: ポリシリコン膜    |                  |
| 32: タンタルシリサイド膜 |                  |

【図4】

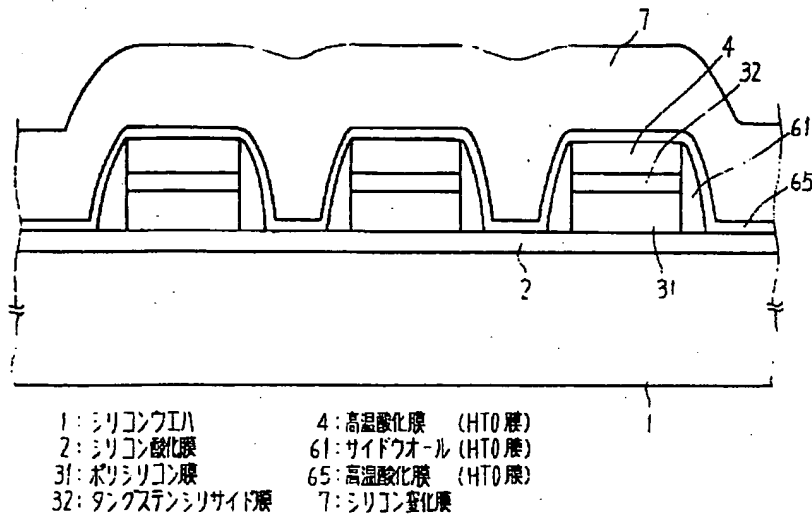
[Figure 4]



- |                |                     |
|----------------|---------------------|
| 1: シリコンエパ      | 4: 高温酸化膜 (HTO 膜)    |
| 2: シリコン酸化膜     | 61: サイドウォール (HTO 膜) |
| 31: ポリシリコン膜    | 65: 高温酸化膜 (HTO 膜)   |
| 32: タンタルシリサイド膜 |                     |

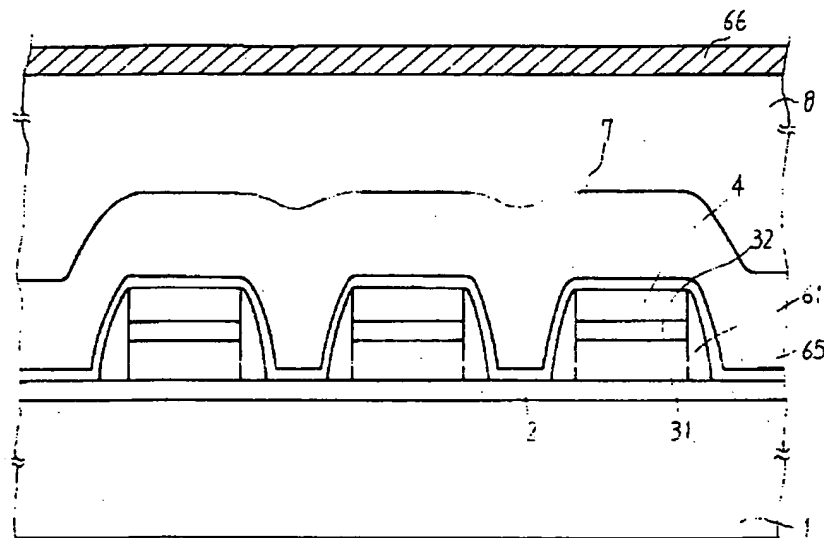
【図5】

[Figure 5]



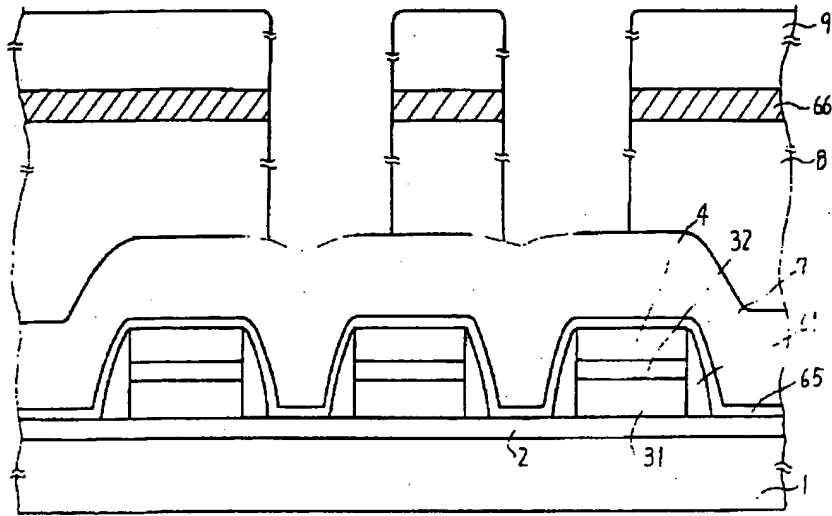
【図6】

[Figure 6]



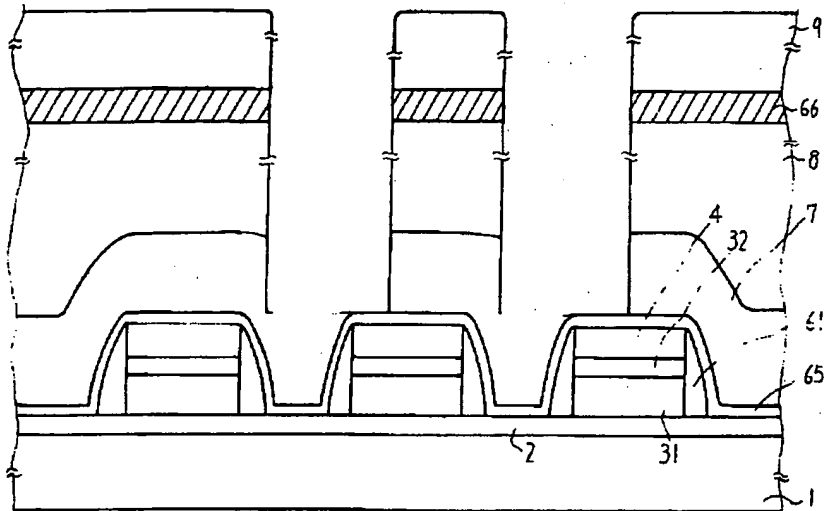
【図7】

[Figure 7]



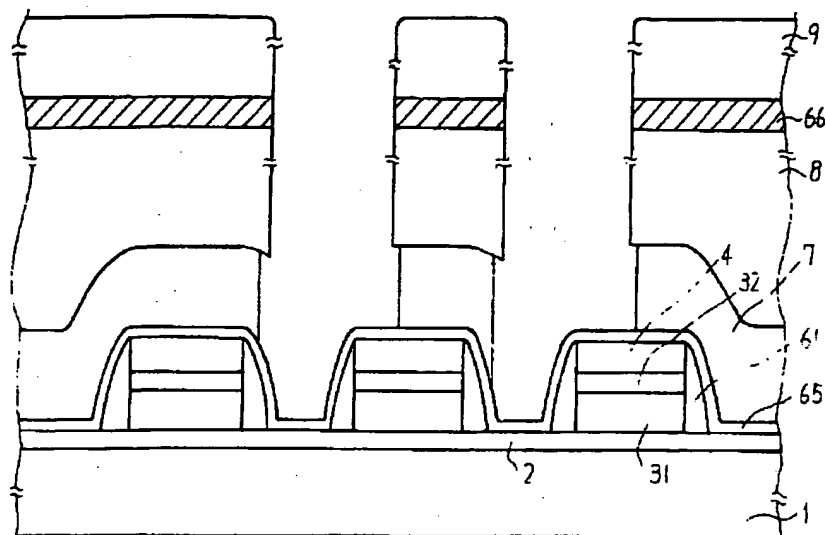
【図8】

[Figure 8]



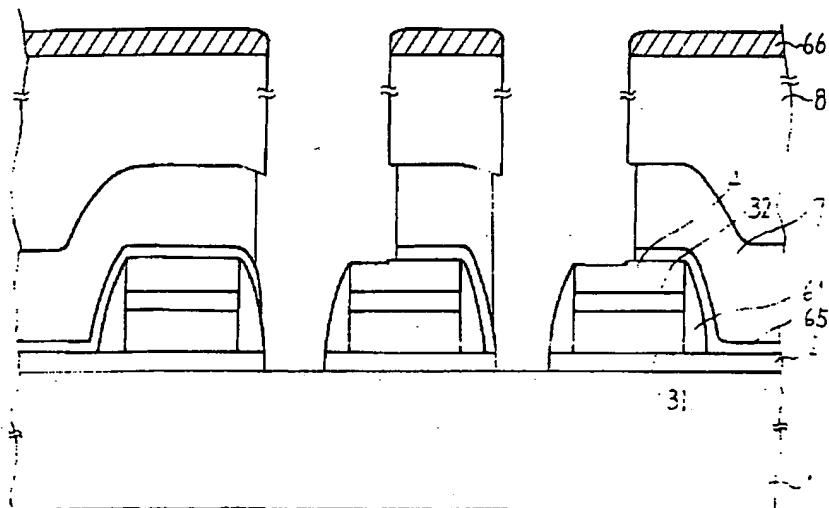
【図9】

[Figure 9]



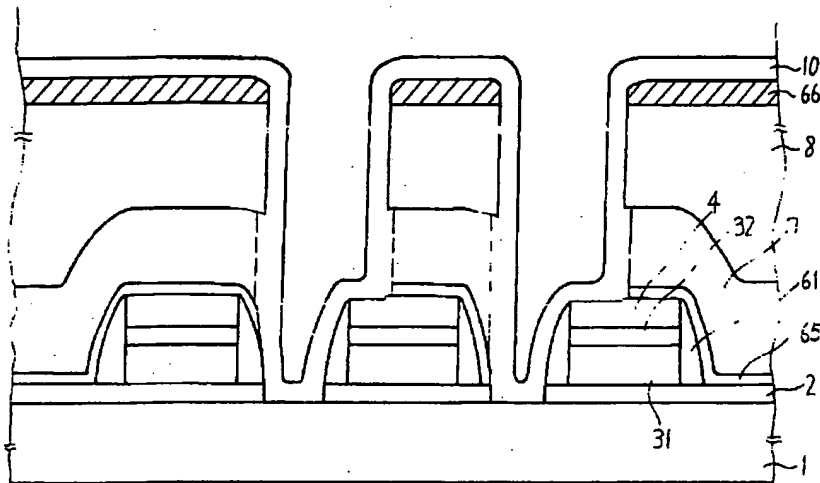
【図10】

[Figure 10]



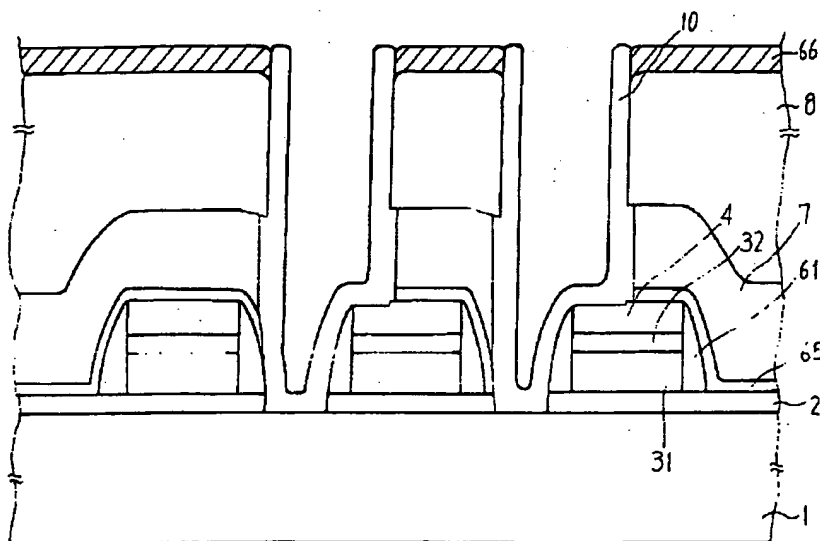
【图11】

[Figure 11]



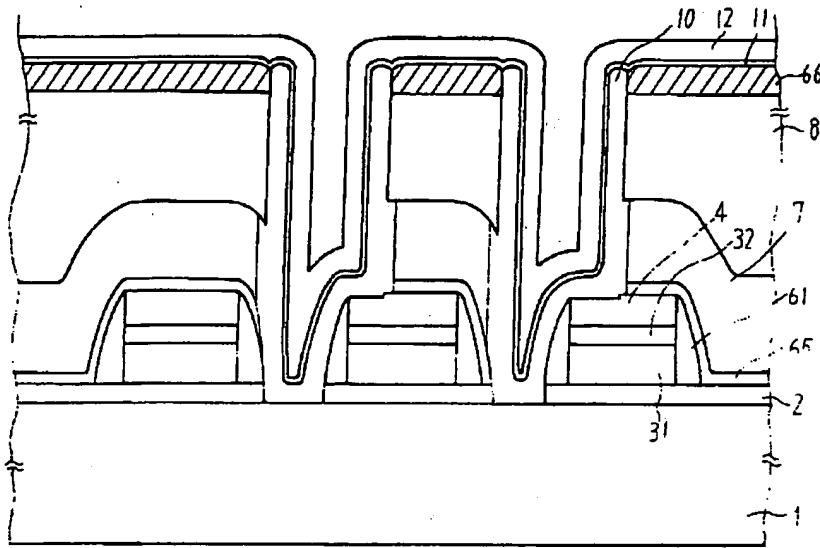
【図12】

[Figure 12]



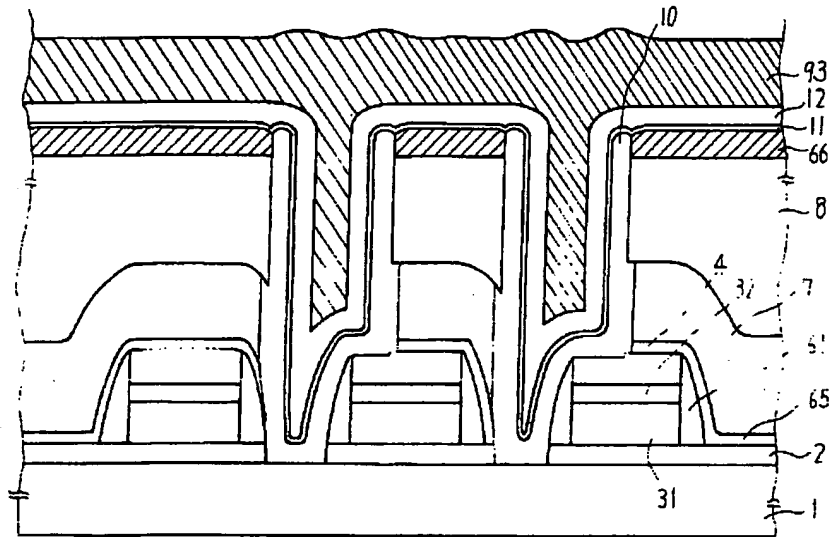
【図13】

[Figure 13]



【図14】

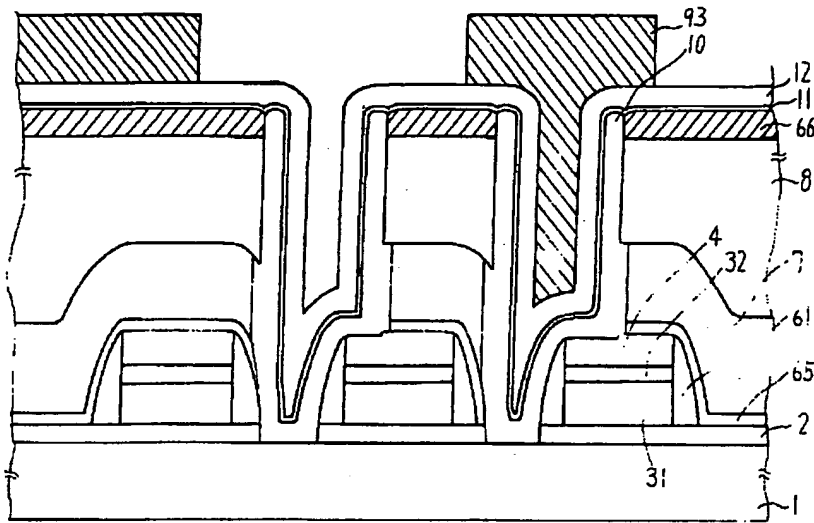
[Figure 14]



【図15】

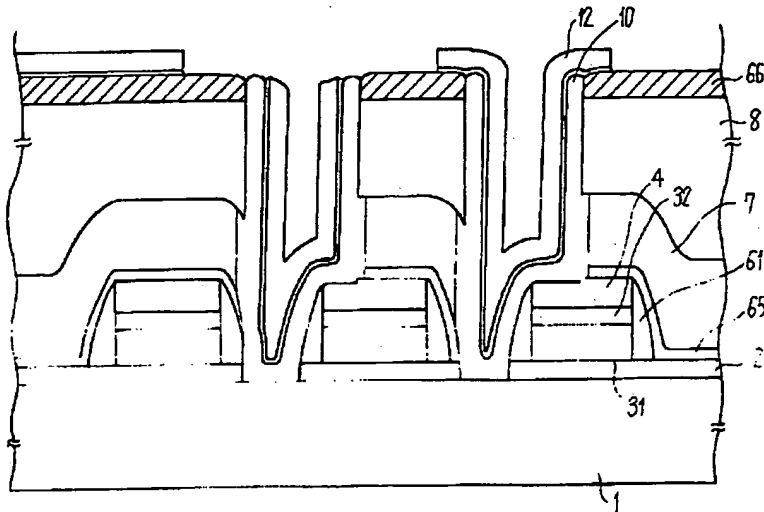
[Figure 15]





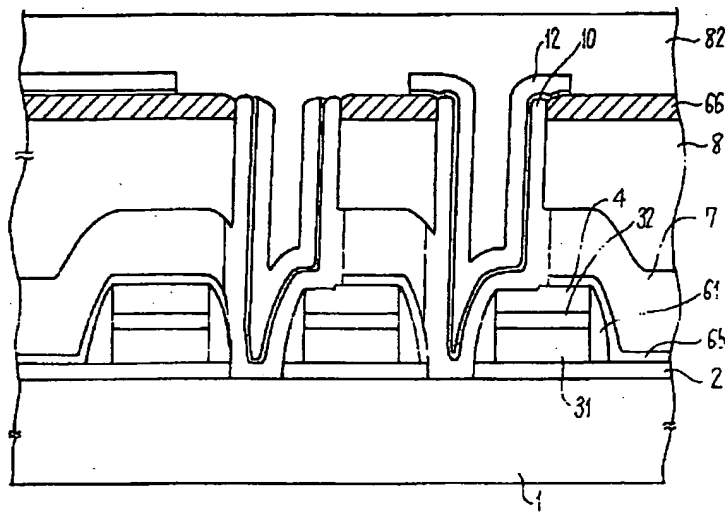
【図16】

[Figure 16]



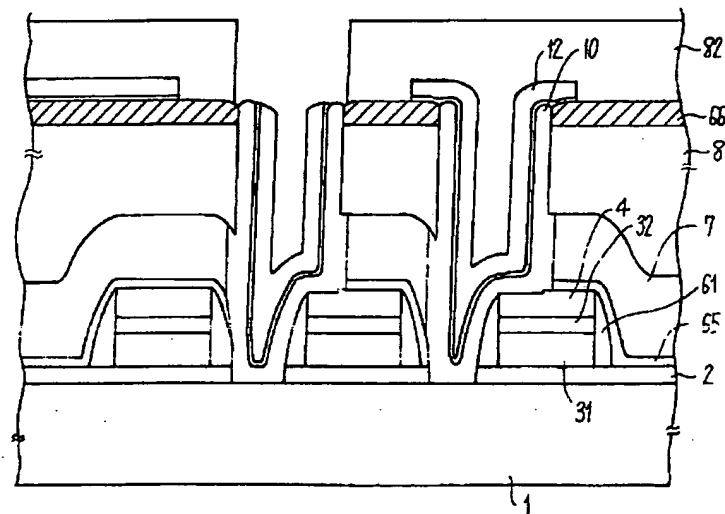
【図17】

[Figure 17]



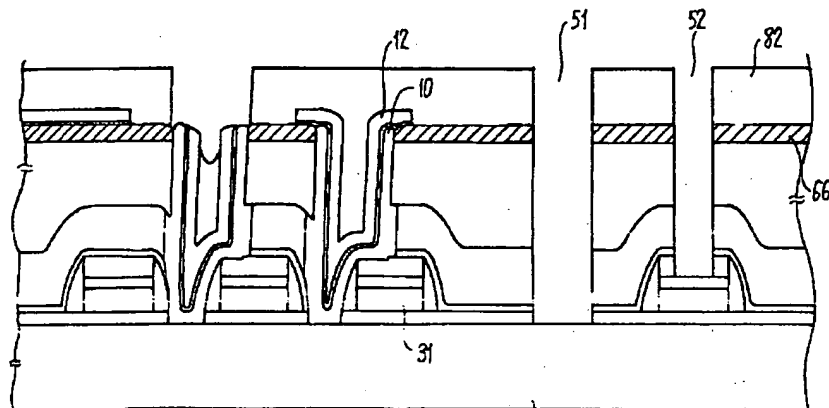
【図18】

[Figure 18]



【図19】

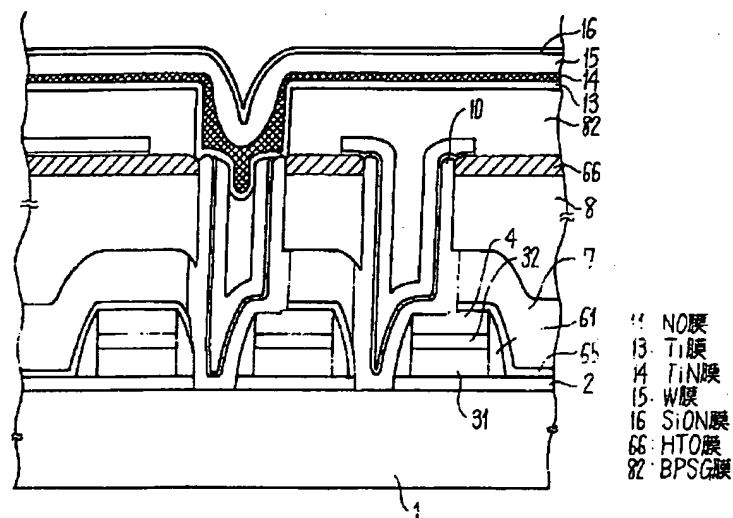
[Figure 19]



51: 第1のコンタクトホール  
52: 第2のコンタクトホール  
82: BPSG膜

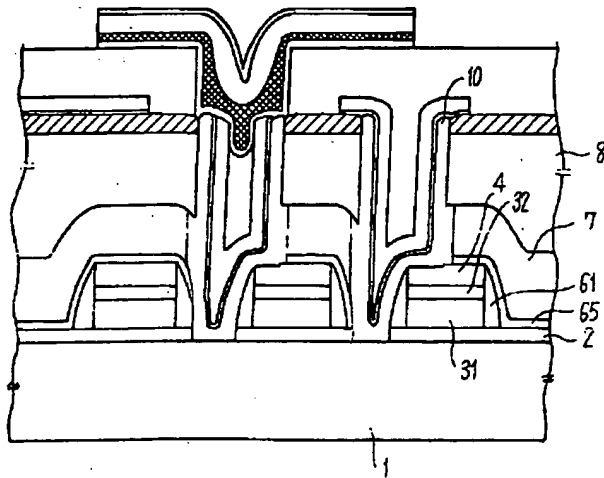
【図20】

[Figure 20]



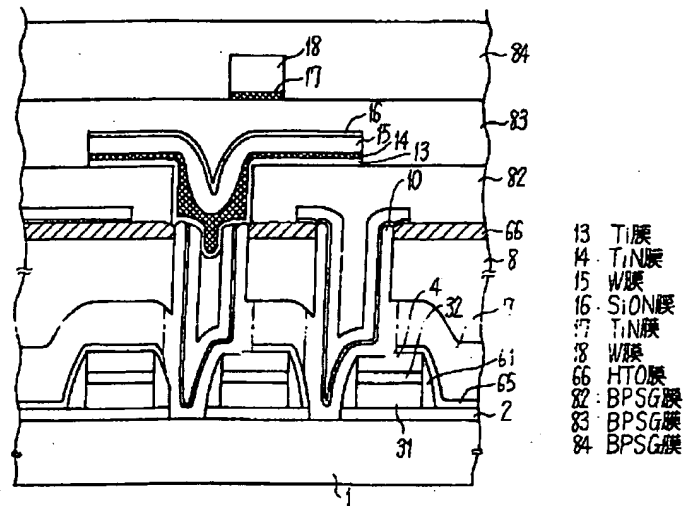
【図21】

【Figure 21】



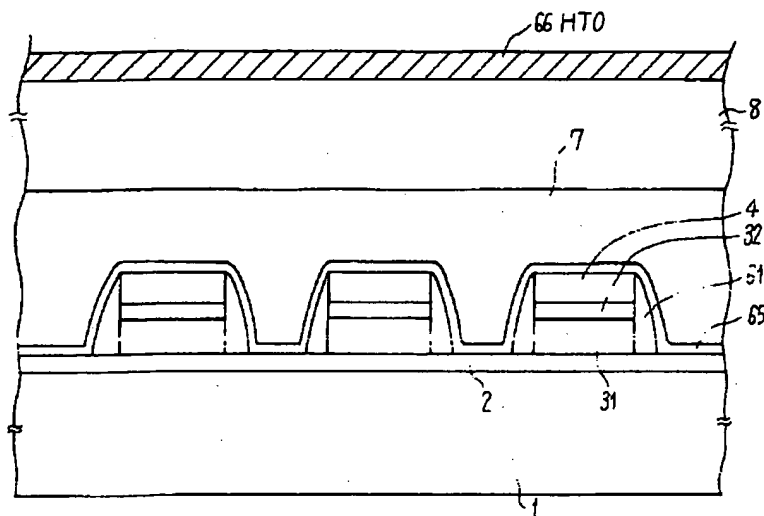
【図22】

【Figure 22】



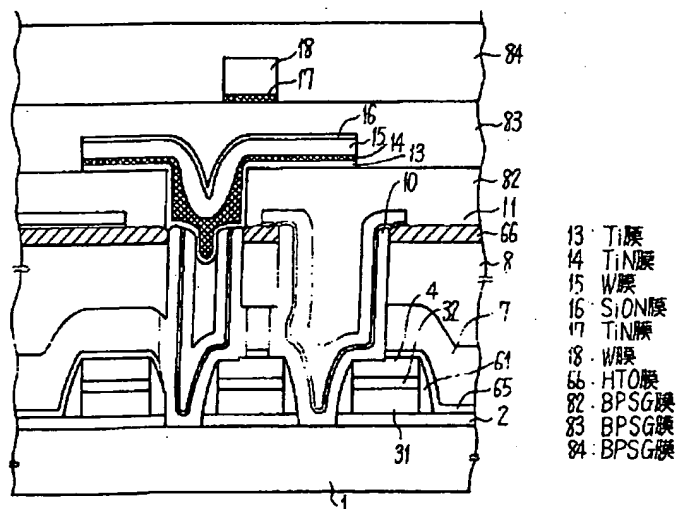
【図23】

【Figure 23】



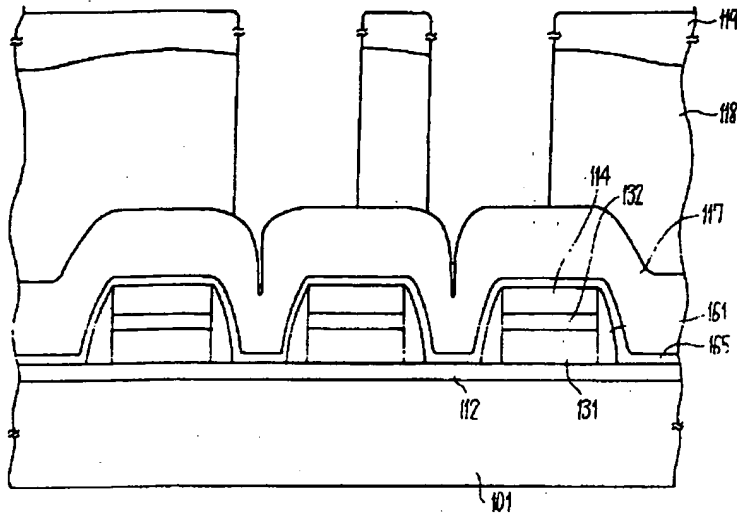
【図24】

【Figure 24】



【図25】

【Figure 25】



【図26】

【Figure 26】

